

## CAPITOLUL 3

### Circuite logice elementare

Circuitele logice elementare pot fi realizate fie cu componente discrete, fie în tehnologie integrată.

#### 3.1. Circuite logice elementare cu componente discrete

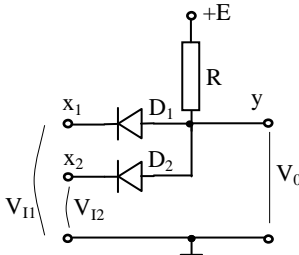
În funcție de tipul de componente discrete care intră în structura circuitului respectiv, distingem circuite logice elementare cu componente discrete pasive, respectiv active.

##### 3.1.1. Circuite logice elementare cu componente pasive

Acest tip de circuite logice utilizează numai componente pasive, adică componente de circuit care nu posedă capacitatea de a amplifica semnalul aplicat la intrare. Dintre acestea, componentele de circuit cele mai utilizate sunt diodele și rezistențele.

##### 3.1.1.1. Circuitul logic ȘI (AND) pasiv

Circuitul logic ȘI (AND) pasiv are schema din figura 3.1 și tabelul de adevăr – tab. 3.1.



Tab. 3.1. Tabelul de adevăr al funcției ȘI (AND)

$x_2$	$x_1$	$y$
0	0	0
0	1	0
1	0	0
1	1	1

Fig. 3.1. Circuitul logic ȘI (AND) pasiv

**Funcționare:** Prezentăm o descriere simplificată a funcționării circuitului, considerând diodele  $D_1$  și  $D_2$  – ideale.

Astfel, pentru combinația logică de intrare  $x_2x_1=00$  (prima linie a tabelului de adevăr),  $V_{I1}=V_{I2}=0V$  și, practic, catodii celor două diode sunt ca și legați la masă, așa cum am încercat să arătăm în schema echivalentă din fig. 3.2 a.

Cele două diode sunt direct polarizate și conduc pe traseul  $+E, R, D_1/D_2$ , masă, la bornele lor regăsindu-se tensiunea de prag a unei diode ideale, deci  $V_0=0$ . Rezultă  $y=0$  logic.

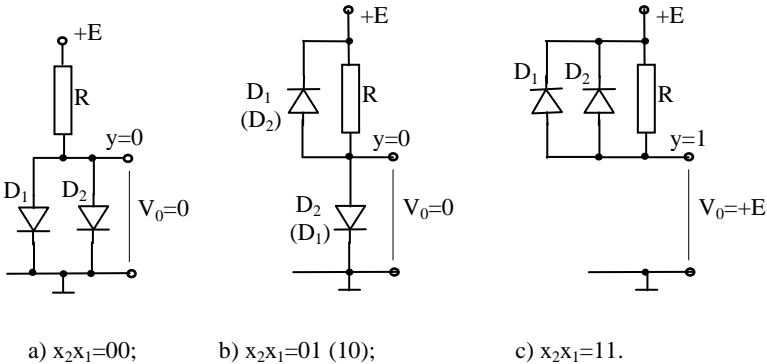


Fig. 3.2. Explicativă pentru înțelegerea funcționării circuitului logic ȘI (AND) pasiv

Pentru combinația de intrare  $x_2x_1=01$  (a doua linie a tabelului de adevăr),  $V_{I2}=0$ ,  $V_{I1}=+E$ , deci catodul diodei  $D_2$  rămâne conectat la masă, iar cel al diodei  $D_1$  se conectează la  $+E$ , fig. 3.2 b. Diodele  $D_1$  și  $D_2$  conduc ca și în cazul precedent, în timp ce  $D_1$ , având catodul conectat la potențialul cel mai pozitiv al schemei, este blocată. Evident,  $V_0=0$  și  $y=0$  logic.

Pentru  $x_2x_1=10$  este valabilă tot schema echivalentă din fig. 3.2 b în care rolul diodelor  $D_1$  și  $D_2$  se inversează. Rezultatul este  $y=0$  logic.

În sfârșit, pentru  $x_2x_1=11$ , vom avea:  $V_{I1}=V_{I2}=+E$ , și ambele diode vor fi conectate cu catodii la  $+E$ , fig. 3.2 c, deci vor fi blocate. Potențialul  $+E$  se transferă la ieșire prin rezistența  $R$ , deci  $V_0=+E$  și  $y=1$  logic. Se confirmă afirmația inițială conform căreia tab 3.1 este tabelul de adevăr al funcției ȘI (AND).

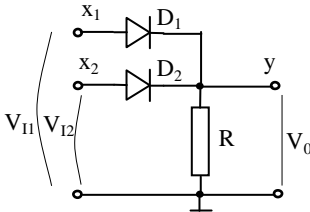
### 3.1.1.2. Circuitul logic SAU (OR) pasiv

Circuitul logic SAU (OR) pasiv are schema din fig. 3.3 și tabelul de adevăr – tab. 3.2.

**Funcționare:** Pentru combinația logică de intrare  $x_2x_1=00$ , deci  $V_{I1}=V_{I2}=0V$ , anodii celor două diode sunt practic conectați la potențialul masei, așa cum rezultă din schema echivalentă din fig. 3.4 a. Întrucât nu există nici o diferență de potențial

în schemă, prin rezistența R nu circulă curent și, prin urmare,  $V_0=0V$ , deci  $y=0$  logic.

Tab. 3.2. Tabelul de adevăr al funcției SAU (OR)



$x_2$	$x_1$	$y$
0	0	0
0	1	1
1	0	1
1	1	1

Fig. 3.3. Circuitul logic SAU (OR) pasiv

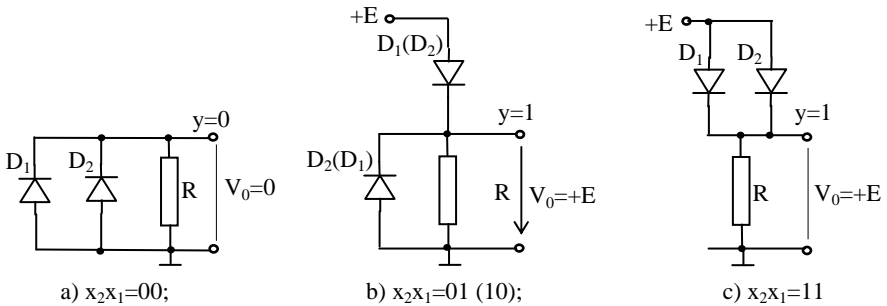


Fig. 3.4. Explicativă pentru înțelegerea funcționării circuitului logic SAU (OR) pasiv

Pentru  $x_2x_1=01$ , deci  $V_{12}=0V$  și  $V_{11}=+E$ , dioda  $D_2$  rămâne conectată cu anodul la masă, în timp ce  $D_1$  se conectează cu anodul la  $+E$ , fig. 3.4 b. Dioda  $D_1$  va conduce pe traseul:  $+E$ ,  $D_1$ , R, masă și fiind ideală, pe ea nu “cade” nimic. Întreaga cădere de tensiune se regăsește la bornele rezistenței R, blocând dioda  $D_2$  și generând la ieșirea schemei tensiunea  $V_0=+E$ , deci  $y=1$  logic.

Combinăția de intrare  $x_2x_1=10$  produce o situație similară celei anterioare, fig. 3.4 b, poziția diodelor inversându-se. Rezultă  $y=1$  logic.

Pentru  $x_2x_1=11$ , vom avea  $V_{11}=V_{12}=+E$  și ambele diode vor fi conectate cu anodii la  $+E$ , fig. 3.4 c, deci vor conduce și vor transfera potențialul  $+E$  la ieșire. Rezultă  $V_0=+E$  și  $y=1$  logic.

S-a verificat astfel faptul că tab. 3.2 este tabelul de adevăr al funcției SAU (OR).

### 3.1.2. Circuite logice elementare cu componente active

Acest tip de circuite logice conțin și elemente active de circuit (tranzistoare) care, după cum se știe, sunt capabile să amplifice un semnal.

### 3.1.2.1. Circuitul logic NU (NOT)

Circuitul logic NU (NOT) are schema din fig. 3.5 și tabelul de adevăr – tab. 3.3.

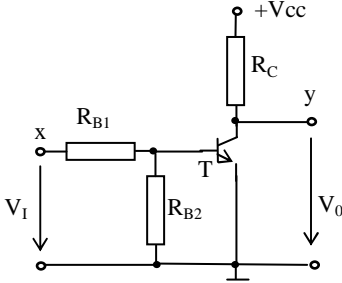


Fig. 3.5. Circuitul logic NU (NOT)

Tab. 3.3. Tabelul de adevăr al funcției NU (NOT)

x	y
0	1
1	0

**Funcționare:** Când  $x=0$ ,  $V_I=0V$  și borna de intrare a circuitului este conectată la masă, fig. 3.6 a.

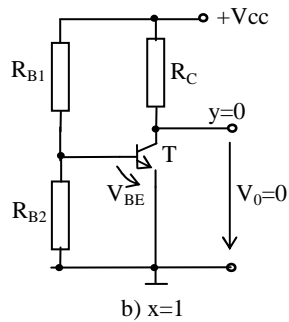
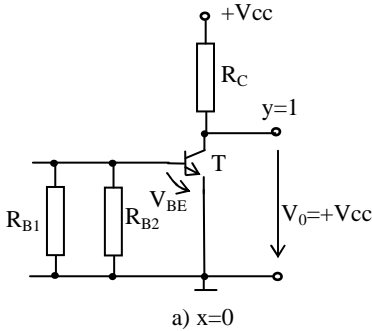


Fig. 3.6. Explicativă pentru înțelegerea funcționării circuitului logic NU (NOT)

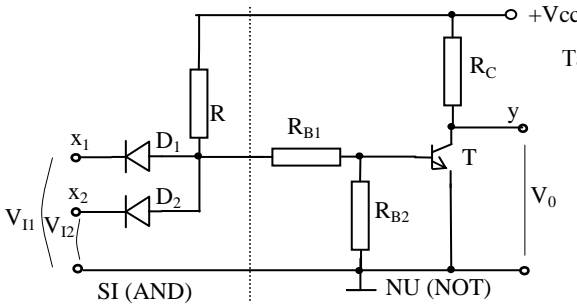
Baza tranzistorului este conectată la masă printr-o rezistență echivalentă  $R_B=R_{B1}/R_{B2}$ , deci  $V_{BE}=0$  și tranzistorul T este blocat. Potențialul  $+V_{CC}$  se transferă la ieșire prin  $R_C$  și  $V_O=+V_{CC}$ , deci  $y=1$  logic.

Pentru  $x=1$ ,  $V_I=+V_{CC}$  și ne aflăm în situația schemei echivalente din fig. 3.6 b. Divizorul  $R_{B1}$ ,  $R_{B2}$  este astfel dimensionat încât  $V_{BE} \geq 0,7V$ , deci tranzistorul T este saturat și  $V_{CE}=V_O \approx 0,1V$ . Rezultă  $y=0$  logic.

### 3.1.2.2. Circuitul logic ȘI-NU (NAND)

Circuitul logic ȘI-NU (NAND) prezintă schema din fig. 3.7, obținută prin conectarea în cascadă a unui circuit ȘI (AND) pasiv și a unui circuit NU (NOT).

Tabelul de adevăr, tab. 3.4, se obține din tab. 3.1. al funcției ȘI (AND), modificat în sensul negării valorilor logice din coloana funcției.



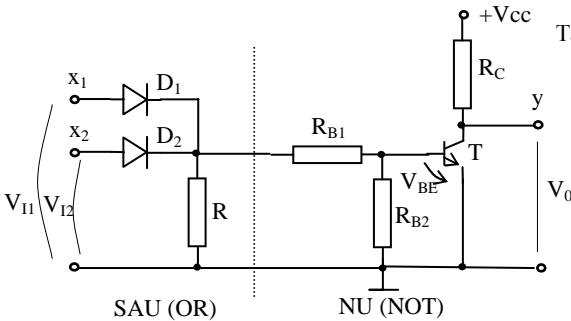
Tab. 3.4. Tabelul de adevăr al funcției ȘI-NU (NAND)

$x_2$	$x_1$	$y$
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 3.7. Circuitul logic ȘI-NU (NAND)

### 3.1.2.3. Circuitul logic SAU-NU (NOR)

Circuitul logic SAU-NU (NOR), fig. 3.8, se obține prin conectarea în cascadă a circuitului SAU (OR) din fig. 3.3 cu circuitul NU (NOT) din fig. 3.5.



Tab. 3.5. Tabelul de adevăr al funcției SAU-NU (NOR)

$x_2$	$x_1$	$y$
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 3.8. Circuitul logic SAU-NU (NOR)

Tabelul de adevăr 3.5 se obține din tab. 3.2 prin negarea valorilor logice din coloana funcției de ieșire  $y$ .

## 3.2. Circuite logice elementare integrate

În prezent, circuitele logice se realizează aproape în exclusivitate sub formă de circuite integrate. După tehnologia utilizată, circuitele logice integrate se pot clasifica în circuite realizate în tehnologie bipolară, respectiv unipolară (MOS).

### 3.2.1. Circuite logice integrate realizate în tehnologie bipolară

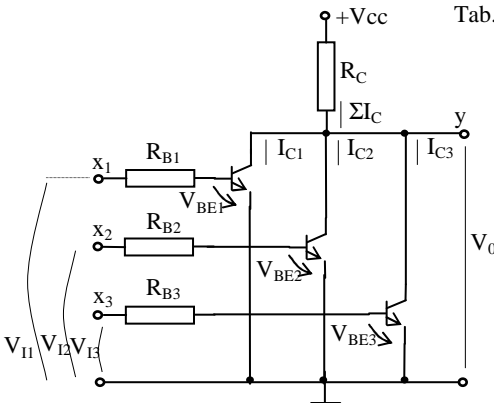
Circuitele logice integrate realizate în tehnologie bipolară au cunoscut în decursul timpului mai multe tipuri de structuri de bază cum ar fi: RTL, DTL, TTL, HTTL, etc.

#### 3.2.1.1. Circuite logice RTL

Circuitele logice RTL (Rezistor-Tranzistor-Logic) prezintă structura de bază din fig. 3.9 și tabelul de adevăr – tab. 3.6.

**Funcționare:** Pentru  $x_3=x_2=x_1=0$  logic,  $V_{I1}=V_{I2}=V_{I3}=0V$  și rezistențele  $R_{B1}$ ,  $R_{B2}$ ,  $R_{B3}$ , din bazele celor 3 tranzistoare vor fi conectate la masă. În consecință, tensiunile  $V_{BEi}$ , cu  $i=1, 2, 3$ , vor fi zero și cele 3 tranzistoare vor fi blocate, deci  $I_{C1}=I_{C2}=I_{C3}=0$ . Prin  $R_C$  nu va circula nici un curent, deci pe  $R_C$  nu vom înregistra nici o cădere de tensiune.

Întrucât  $V_0=V_{CC}-R_C \cdot \Sigma I_{Ci}$ , rezultă  $V_0=+V_{CC}$ , deci  $y=1$  logic.



Tab. 3.6. Tabelul de adevăr al funcției SAU-NU (NOR)

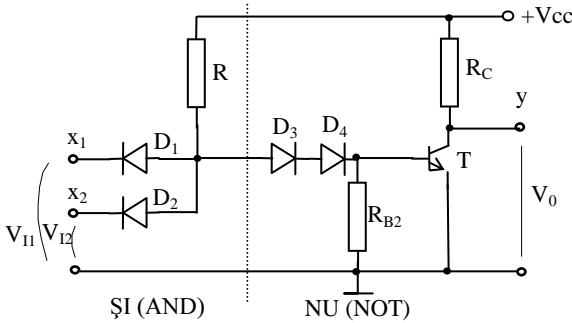
$x_3$	$x_2$	$x_1$	$y$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Fig. 3.9. Circuitul logic SAU-NU (NOR) RTL

Este suficient ca un singur tranzistor din cele trei să fie saturat ( $x_i=1$ , pentru orice  $i$ ) pentru ca  $V_0=V_{CEi} \approx 0,1V$ , deci  $y=0$  logic. Aceeași situație se repetă și în cazul în care două sau chiar toate cele 3 tranzistoare primesc 1 logic la intrare. Analizând tabelul 3.6, observăm că funcția logică îndeplinită de circuitul din fig. 3.9 este SAU-NU (NOR).

### 3.2.1.2. Circuite logice DTL

Circuitele logice DTL (Diodă-Tranzistor-Logic) prezintă structura de bază din fig. 3.10 și tabelul de adevăr – tab. 3.7.



Tab. 3.7. Tabelul de adevăr al funcției ȘI-NU (NAND)

$x_2$	$x_1$	$y$
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 3.10. Circuitul logic ȘI-NU (NAND) DTL

Schema din fig. 3.10 provine din cea din fig. 3.7, în care rezistența  $R_{B1}$  a fost înlocuită cu diodele  $D_3$  și  $D_4$ , având rolul de a asigura o deplasare cu  $2 \cdot 0,7V = 1,4V$  a nivelului logic superior al intrării porții, nivel care determină trecerea tranzistorului T din starea de blocare în cea de saturație. În rest, funcționarea este identică cu cea a circuitului ȘI-NU (NAND) descris în § 3.1.2.2.

### 3.2.1.3. Familia TTL standard

Familia TTL standard este una dintre cele mai răspândite categorii de circuite logice integrate pe scară mică și medie.

Reprezentantul de bază al acestei familii, cu ajutorul căruia pot fi generate toate funcțiile logice, este poarta ȘI-NU (NAND).

#### 3.2.1.3.1. Poarta NAND - TTL

Poarta NAND – TTL prezintă schema din fig. 3.11 a, simbolul logic din fig. 3.11 b și tabelul de adevăr - tab. 3.8.

Diodele  $D_1$  și  $D_2$  protejează tranzistorul multiemiter  $T_1$  împotriva eventualelor tensiuni negative ce pot apărea pe intrări în timpul regimurilor tranzitorii. În regim staționar ele nu au nici un fel de importanță, motiv pentru care vor fi ignorate în continuare.

Tranzistorul multiemiter  $T_1$  asigură curentul de bază necesar tranzistorului defazor  $T_2$  care comandă etajul final de tip *totem pole* (în contratimp) realizat cu tranzistoarele  $T_3$  și  $T_4$ . Acest tip de etaj final permite obținerea unor timpi

de propagare reduși, o creștere a imunității la perturbații a porții și o scădere a rezistenței de ieșire a acesteia ( $15\Omega$  în stare "L" și  $70\Omega$  în stare "H").

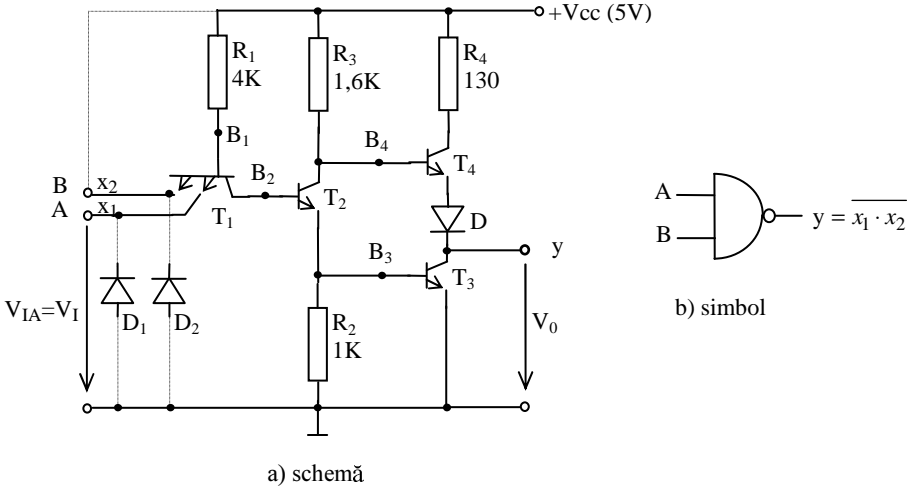


Fig. 3.11. Poarta NAND - TTL

Tab. 3.8. Tabelul de adevăr al funcției NAND

$x_2$	$x_1$	$y$
0	0	1
0	1	1
1	0	1
1	1	0

**Funcționare:** Înlocuind joncțiunile tranzistorului multiemiter  $T_1$  cu diode, schema din fig. 3.11 a se transformă de maniera din fig. 3.12.

Se observă ușor că circuitul din fig. 3.12 este format dintr-un ȘI-pasiv (realizat de diodele  $D_{BE11}$ ,  $D_{BE12}$  și rezistența  $R_1$ ), urmat de un inversor (realizat cu tranzistoarele  $T_2$ ,  $T_3$  și  $T_4$ ).

Într-adevăr, exceptând  $D_{BC1}$  care are rol de deplasare de nivel (v. familia DTL) și reamintind faptul că semnalul din colectorul unui tranzistor evoluează în antifază față de cel din bază și emiter, observăm că o creștere a nivelului semnalului din  $B_2$  va antrena o scădere a nivelului în  $B_4$  și - implicit - în  $y$ , simultan cu o creștere a nivelului în  $B_3$  și o scădere a acestuia în  $y$ . Concluzionând, creșterea nivelului în  $B_2$  conduce la o scădere - pe două căi - a nivelului în  $y$ , inversarea semnalului fiind evidentă.



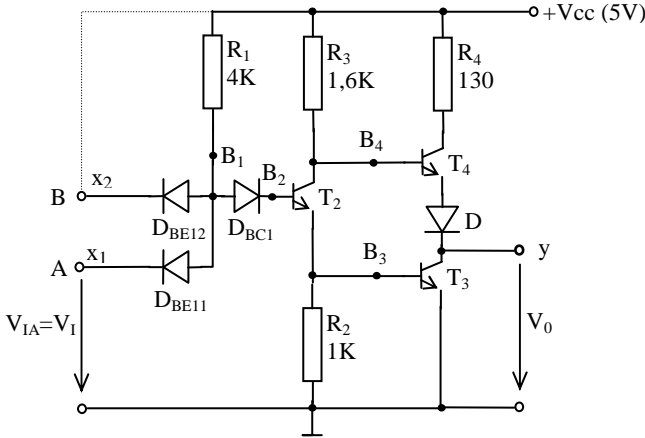


Fig. 3.12. O schemă mai intuitivă a porții NAND - TTL

Funcția ȘI-NU (NAND) a circuitului fiind demonstrată, tabelul de adevăr 3.8 este verificat.

### 3.2.1.3.2. Inversorul TTL

În cele ce urmează, ne propunem transformarea circuitului NAND într-un inversor (prin conectarea la  $+V_{CC}$  a bornei de intrare B, fig. 3.12) și explicarea funcționării inversorului în paralel cu ridicarea caracteristicii de transfer a acestuia, fig. 3.13.

Stările tranzistoarelor în fiecare din zonele (1) ... (4), fig. 3.13, le vom centraliza în tabelul 3.9.

**Funcționare:** În explicarea funcționării schemei, din motive de simplificare a expunerii, vom lua în considerație următoarele valori:

$V_{BE\text{ON}} = 0,6\text{V}$  - pentru un tranzistor în RAN;

$V_{BE\text{sat}} = 0,7\text{V}$  - pentru un tranzistor în saturație;

$V_{CE\text{sat}} = 0,1\text{V}$  - pentru un tranzistor în saturație;

$V_D = 0,7\text{V}$  - pentru o diodă în conducție.

Explicarea funcționării inversorului necesită luarea în considerație a următoarelor zone:

$$\text{Zona (1): } 0 \leq V_I < 0,5. \quad (3.1)$$

$D_{BE11}$  este polarizată direct prin  $R_1$  de către diferența de potențial  $V_{CC} - V_I$ . Întrucât  $D_{BE11}$  conduce, potențialul punctului  $B_1$  va fi:

$$V_{B1} = V_I + V_{BE11\text{sat}} = V_I + 0,7. \quad (3.2)$$

Ținând seama de relațiile 3.1 și 3.2, obținem:

$$0,7 \leq V_{B1} < 1,2 \quad (3.3)$$

și întrucât

$$V_{B1} = V_{BC1} + V_{BE2} + R_2 I_{E2}, \quad (3.4)$$

putem scrie că:

$$0,7 \leq V_{BC1} + V_{BE2} + R_2 I_{E2} < 1,2. \tag{3.5}$$

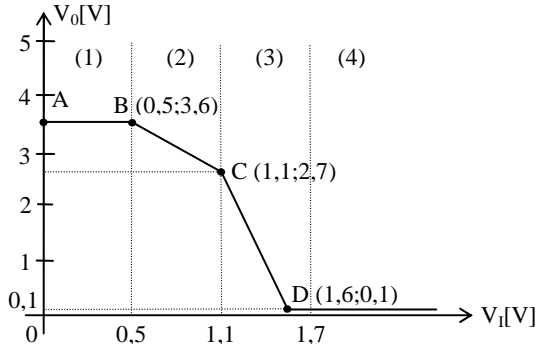


Fig. 3.13. Caracteristica de transfer a inversorului TTL

Tab. 3.9. Centralizator al stărilor tranzistoarelor în timpul comutației

Zona \ Trz.	T1	T2	T3	T4
(1)	RAN	BL.	BL.	RAN
(2)	SAT.	RAN	BL.	RAN
(3)	SAT.	RAN	RAN	RAN
(4)	RAI	SAT.	SAT.	BL.

Rezultă că joncțiunile  $BC_1$  și  $BE_2$  sunt insuficient polarizate și tranzistorul  $T_2$  este blocat. Prin urmare  $R_2 I_{E2} = 0$ , iar joncțiunile  $BC_1$  și  $BE_2$  vor fi supuse, fiecare, câte unei diferențe de potențial  $0,35 \leq V_{BC1} = V_{BE2} < 0,6$ , deci vor fi blocate. Tranzistorul  $T_1$  se va afla în situația prezentată în fig. 3.14

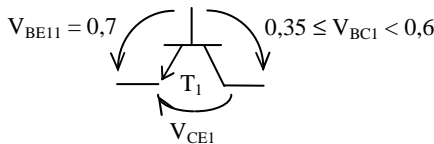


Fig. 3.14. Explicativă pentru starea tranzistorului  $T_1$

și anume:

$$V_{CE1} = V_{BE11} - V_{BC1}, \tag{3.6}$$

deci:

$$0,1 < V_{CE1} \leq 0,35, \tag{3.7}$$

și  $T_1$  se află în RAN, foarte aproape de saturație.

Tranzistorul  $T_2$  este blocat deoarece  $V_{BE2} < 0,6V$ .

Tranzistorul  $T_3$  este blocat deoarece  $V_{BE3} = R_2 I_{E2} = 0$ .

Tensiunea  $V_0^{(1)}$  poate fi evaluată din fig 3.15, obținută din fig 3.12 prin eliminarea tranzistoarelor  $T_1$  (neinteresant) și  $T_2, T_3$  (blocate).

Putem scrie:

$$V_0^{(1)} = V_{CC} - R_3 I_{B4} - V_{BE4} - V_D. \quad (3.8)$$

Neglijând termenul  $R_3 I_{B4}$  ( $I_{B4} \approx 0$ ), obținem:

$$V_0^{(1)} \approx V_{CC} - V_{BE4} - V_D = 5 - 0,7 - 0,7 = 3,6V. \quad (3.9)$$

Pentru a stabili starea în care se află  $T_4$ , amintim că  $V_{BE4} = 0,7V$ , deci există

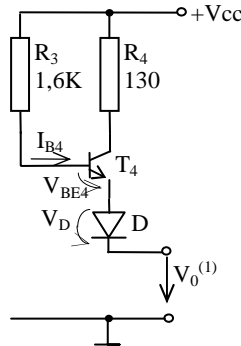


Fig. 3.15. Explicativă pentru zona (1)

premise de saturație. Din K II scris pe ochiul de circuit care conține joncțiunea  $BC_4$ , obținem:

$$R_3 I_{B4} + V_{BC4} - R_4 I_{C4} = 0 \quad (3.10)$$

și ținând seama că  $R_3 I_{B4} \approx 0$  și  $I_{C4} \approx I_0$  (curentul de sarcină), putem scrie:

$$V_{BC4} \approx R_4 I_0. \quad (3.11)$$

Când poarta este în gol, deci fără sarcină cuplată la ieșire,  $I_0 = 0$ ,  $V_{BC4} = 0$  și tranzistorul  $T_4$ , având joncțiunea BE deschisă și joncțiunea BC blocată, se va afla în RAN.

Chiar și atunci când poarta este în sarcină, curentul de ieșire  $I_0$  nu poate depăși valoarea  $I_{0max} = 0,8$  mA impusă de considerente legate de conservarea nivelului logic de la ieșirea porții (v. § 3.2.1.3.5), ceea ce conduce la un  $V_{BC4} = R_4 I_{0max} = 130 \cdot 0,8 \approx 0,1$  V, insuficient pentru a deschide joncțiunea  $BC_4$ .

Rezultă că  $T_4$  se află necondiționat în RAN, fapt pe care-l consemnăm în tab.

3.9.

Zona (2):

$$0,5 \leq V_1 < 1,1. \quad (3.12)$$

Din relația 3.2 obținem:

$$1,2 \leq V_{B1} < 1,8. \quad (3.13)$$

Potențialul punctului B<sub>1</sub> este suficient pentru a deschide joncțiunile BC<sub>1</sub> și BE<sub>2</sub>, dar insuficient pentru a deschide și joncțiunea BE<sub>3</sub>. Rezultă că T<sub>3</sub> este blocat în continuare.

T<sub>1</sub> are ambele joncțiuni direct polarizate, deci este saturat.

T<sub>2</sub> are joncțiunea BE<sub>2</sub> direct și suficient polarizată.

$$V_{B2} = V_{B1} - V_{BC1} = V_{B1} - 0,6, \quad (3.14)$$

și, ținând seama de relațiile 3.2 și 3.12, putem deduce:

$$V_{B2} = V_1 + 0,7 - 0,6 = V_1 + 0,1, \quad (3.15)$$

deci :

$$0,6 \leq V_{B2} < 1,2. \quad (3.16)$$

Eliminând din schema din fig. 3.12 tranzistoarele T<sub>1</sub> (neinteresant) și T<sub>3</sub> (blocat), obținem schema din figura 3.16 cu ajutorul căreia îl putem calcula pe V<sub>0</sub><sup>(2)</sup>:

$$V_0^{(2)} = V_{CC} - R_3 I_{C2} - V_{BE4} - V_D. \quad (3.17)$$

$$I_{C2} \approx \alpha_{N2} I_{E2} = \alpha_{N2} (V_{B2} - V_{BE2}) / R_2. \quad (3.18)$$

$$V_0^{(2)} = V_{CC} - \alpha_{N2} (V_{B2} - V_{BE2}) R_3 / R_2 - V_{BE4} - V_D. \quad (3.19)$$

sau, datorită relației 3.15:

$$V_0^{(2)} = V_{CC} - \alpha_{N2} (V_1 + 0,1 - V_{BE2}) R_3 / R_2 - V_{BE4} - V_D. \quad (3.20)$$

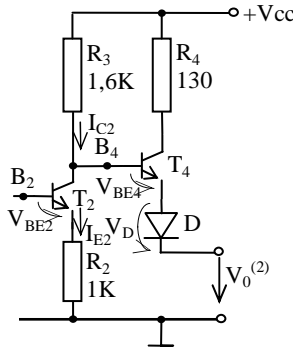


Fig. 3.16. Explicativă pentru zona (2)

Al doilea termen din membrul drept al relației 3.20 reprezintă căderea de tensiune pe rezistența R<sub>3</sub>:

$$V_{R3} = \alpha_{N2} (V_1 + 0,1 - V_{BE2}) R_3 / R_2. \quad (3.21)$$

Starea tranzistorului T<sub>2</sub> depinde de diferența de potențial:

$$V_{BC2} = V_{B2} - V_{B4} = V_{B2} - (V_{CC} - V_{R3}), \quad (3.22)$$

a cărei valoare maximă se determină astfel:

$$V_{BC2max} = V_{B2max} - (V_{CC} - V_{R3max}) = 1,2 - (5-1) < 0. \quad (3.23)$$

În calculul lui V<sub>R3max</sub>, rel 3.21, am considerat α<sub>N2</sub> ≈ 1, V<sub>1</sub> = 1,1V și V<sub>BE2</sub> = 0,6V.

Rezultă că T<sub>2</sub> se află în RAN.

Procedând similar pentru T<sub>4</sub>, obținem:

$$V_{BC4} = V_{B4} - V_{C4} = V_{CC} - V_{R3} - (V_{CC} - V_{R4}) = V_{R4} - V_{R3} = R_4 I_0 - V_{R3}, \quad (3.24)$$

unde  $I_0$  este curentul de sarcină.

Comparând relațiile 3.24 și 3.11, observăm că  $V_{BC4}$  pentru zona 2 este mai mic decât  $V_{BC4}$  pentru zona 1, deci cu atât mai mult  $T_4$  se va afla în RAN.

Calculăm  $V_0$  cu rel. 3.20 la limita din stânga a intervalului (2), v. fig. 3.13, când  $V_I = 0,5V$ ,  $V_{BE2} = 0,6V$ ,  $V_{BE4} = V_D = 0,7V$ , și obținem:

$$V_0^{(2B)} = 5 - \alpha_{N2}(0,5 + 0,1 - 0,6)R_3/R_2 - 0,7 - 0,7 = 3,6V, \quad (3.25)$$

ceceea confirmă rezultatul obținut anterior (relația 3.9).

Pentru limita din dreapta a intervalului (2), în relația 3.20 se înlocuiesc valorile:  $V_I = 1,1V$ ,  $V_{BE2} = 0,6V$ ,  $V_{BE4} = 0,6V$ , rezultând:

$$V_0^{(2C)} = 5 - 1,6(1,1 + 0,1 - 0,6) - 0,6 - 0,7 = 2,7V. \quad (3.26)$$

Așa cum se observă de fapt și din relația 3.20, între punctele B și C din zona (2), caracteristica de transfer este liniară și are panta:

$$m_2 = -\alpha_{N2} R_3/R_2. \quad (3.27)$$

Zona (3):

$$1,1 \leq V_I < 1,1 + V_\varepsilon, \quad (3.28)$$

unde  $V_\varepsilon$  este o tensiune infinit mică. Rezultă:

$$1,8 \leq V_{B1} < 1,8 + V_\varepsilon. \quad (3.29)$$

Imediat ce  $V_I$  depășește 1,1V,  $V_{B2}$  depășește 1,2V (v. rel. 3.15), și se deschide joncțiunea  $BE_3$  a tranzistorului  $T_3$ . Astfel, în paralel cu  $R_2$  apare rezistența de intrare a lui  $T_3$ , relația 3.20 devenind:

$$V_0^{(3)} = V_{CC} - \alpha_{N2} \frac{R_3}{R_2 \parallel R_{inT3}} (V_I + 0,1 - V_{BE2}) - V_{BE4} - V_D. \quad (3.30)$$

Panta caracteristicii de transfer în zona (3) este:

$$m_3 = -\alpha_{N2} R_3 / (R_2 \parallel R_{inT3}), \quad (3.31)$$

și ținând seama de faptul că  $R_{inT3} \approx 1K\Omega$ ,

$$m_3 \approx 2m_2. \quad (3.32)$$

Întrucât  $V_0$  nu poate să scadă sub valoarea  $V_{CE3sat} = 0,1V$ , se poate calcula din relația 3.30 valoarea lui  $V_I$  pentru care  $V_0 = V_{BE3sat}$ . Rezultă  $V_I^{(3D)} = 1,6V$ .

Stările tranzistoarelor la începutul intervalului (3), deci pentru  $1,1 \leq V_I < 1,1 + V_\varepsilon$ , sunt:  $T_1$ , ca și în zona precedentă, saturat, iar  $T_2$  și  $T_3$  având joncțiunile BE înseriate și supuse unei diferențe de potențial  $V_{B2} \approx 1,2 + V_\varepsilon$ , sunt suficient polarizate pentru a conduce, dar încă insuficient polarizate pentru a se satura.

Rezultă că  $T_2$  și  $T_3$  se află în RAN.

În ceceea-l privește pe  $T_4$ , acesta are joncțiunea BE direct și suficient polarizată, potențialul colectorului  $V_{C4} \approx 5V$  (minimum 4,9V în sarcină), iar potențialul bazei:  $V_{B4} \approx 3V$ . Rezultă că joncțiunea BC a tranzistorului  $T_4$  este invers polarizată și  $T_4$  lucrează în RAN.

Zona (4):

Luând pentru  $V_I$  o valoare care să se afle cu certitudine în zona (4), spre exemplu  $V_I \geq 2,1V$ , constatăm că întrucât  $V_{B1}$  nu poate depăși valoarea corespunzătoare saturației celor 3 joncțiuni  $BC_1$ ,  $BE_2$ ,  $BE_3$ ,

$$V_{B1max} = 3 \times 0,7V = 2,1V, \quad (3.33)$$

joncțiunea  $BE_{11}$  a tranzistorului  $T_1$  va fi invers polarizată în timp ce joncțiunea  $BC_1$  va fi direct și suficient polarizată.  $T_1$  va lucra, prin urmare, în RAI (regiunea activă inversă).

$T_2$  și  $T_3$  sunt saturate deoarece  $V_{BE2} = V_{BE3} = 0,7V$ .

Starea lui  $T_4$  se evaluează astfel:

$$V_{B3} = 0,7V; \quad (3.34)$$

$$V_{B4} = V_{B3} + V_{CE2sat} = 0,7 + 0,1 = 0,8V; \quad (3.35)$$

$$V_0 = V_{CE3sat} \approx 0,1V; \quad (3.36)$$

$$V_{B4} - V_0 = 0,8 - 0,1 = 0,7V. \quad (3.37)$$

Diferența de potențial  $V_{B4} - V_0$  se aplică joncțiunii BE a tranzistorului  $T_4$  și diodei D, fiind insuficientă pentru a le deschide. Rezultă că  $T_4$  este blocat. Se observă că rolul diodei D este tocmai acela de a asigura blocarea lui  $T_4$  când ieșirea porții se află în 0 logic.

### 3.2.1.3.3. Poarta NOR – TTL

Schema porții NOR -TTL, fig. 3.17, se obține din cea a inversorului TTL prin dublarea etajului de intrare realizat cu ajutorul tranzistorului  $T_1$  cu un etaj similar realizat cu  $T_1'$  și completarea etajului defazor cu tranzistorul  $T_2'$ , conectat în paralel pe circuitul de ieșire (colector – emiter) al lui  $T_2$ .

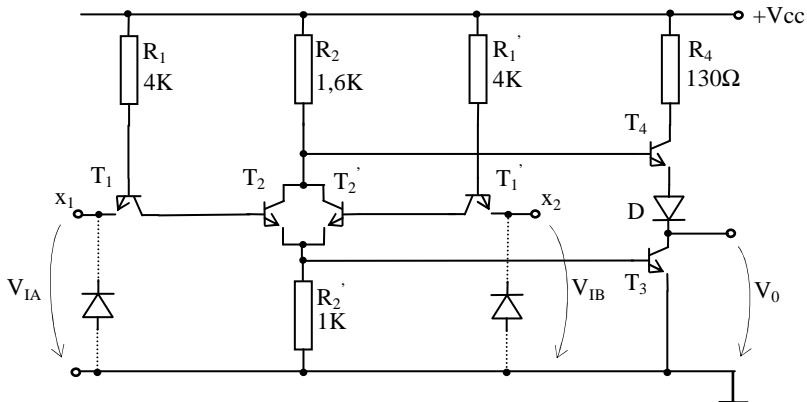


Fig. 3.17. Schema porții NOR – TTL

**Funcționare:** Ca și în cazul porților logice tratate mai sus, verificăm funcționarea porții NOR – TTL cu ajutorul tabelului de adevăr 3.10.

Astfel, pentru  $x_1=x_2=0$  logic, deci  $V_{IA}=V_{IB}=0V$ , în bazele tranzistoarelor  $T_1$  și  $T_1'$  nu vom avea mai mult de  $0,7V$  (v. funcționarea inversorului TTL) ceea ce va implica imposibilitatea deschiderii celor două triplete de joncțiuni ( $BC_1$ ,  $BE_2$ ,  $BE_3$ ,

respectiv  $BC_1$ ,  $BE_2$ ,  $BE_3$ ) către masă. În concluzie,  $T_2$ ,  $T_2'$  și  $T_3$  vor fi blocate, deci  $V_0$  va fi dat de relația 3.9, iar  $y=1$  logic.

Tab. 3.10. Tabelul de adevăr al funcției NOR

$x_2$	$x_1$	$y$
0	0	1
0	1	0
1	0	0
1	1	0

Dacă SAU  $x_1$ , SAU  $x_2$ , SAU ambele sunt 1 logic, tranzistoarele  $T_1$  și  $T_1'$  se vor afla în RAI (v. zona 4 - tab. 3.9) iar  $T_2$ ,  $T_2'$  și  $T_3$  se vor satura. Ca urmare  $V_0 \approx 0V$  și  $y=0$  logic.

Tabelul de adevăr al porții NOR –TTL, tab. 3.10, a fost integral verificat.

#### 3.2.1.3.4. Caracteristicile statice ale familiei TTL standard

##### Caracteristica de transfer

Caracteristica de transfer reprezintă dependența  $V_0 = f(V_I)$  și are aspectul deja prezentat în fig.3.13, § 3.2.1.3.2.

##### Caracteristica de intrare

Prezentăm în fig. 3.18 dependența  $I_I = f(V_I)$ .

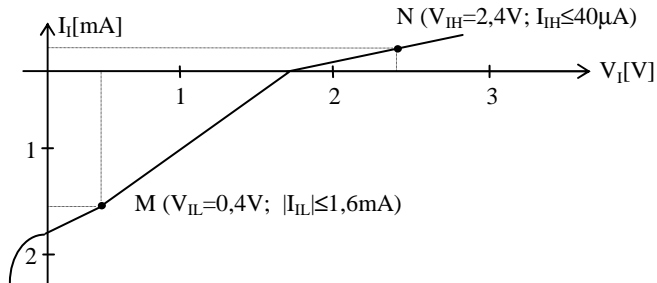


Fig. 3.18. Caracteristica de intrare a porții TTL standard

Convențional, curentul care intră în poartă este considerat pozitiv, iar curentul care iese - negativ.

Sensul curentului de intrare, în funcție de valoarea a lui  $V_I$ , poate fi observat în fig. 3.19.

Pentru determinarea curentului de intrare corespunzător stării logice "0", se conectează succesiv câte una din intrările porții la  $V_{IL} = V_{0Lmax} = 0.4V$ , fig. 3.19 a, celelalte intrări fiind legate la "1" logic.

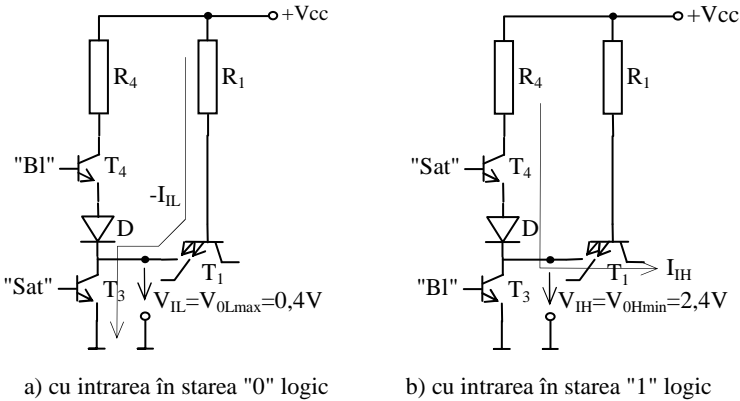


Fig. 3.19. Explicativă la caracteristica de intrare a porții TTL standard

Scriind KII pe circuitul marcat în fig. 3.19 a, obținem:

$$-I_{IL} = \frac{V_{CC} - V_{BE1} - V_{IL}}{R_1} \approx 1\text{mA}, \quad (3.38)$$

valoare mai mică decât  $I_{IL,max}=1,6\text{ mA}$ , stabilită prin foaia de catalog.

Curentul de intrare corespunzător stării logice "1" se determină conectând intrarea testată la  $V_{IH}=V_{OHmin}=2,4\text{V}$ , fig. 3.19 b și are valoarea  $I_{IH} \leq I_{IHmax}=40\mu\text{A}$ .

#### Observații:

1. Valorile negative ale lui  $V_I$  sunt limitate la  $(0,7 \div 1)\text{V}$  de către diodele  $D_1, D_2$  (v. fig. 3.11). Depășirea - în regim static - a valorii maxime admise de catalog  $(-1,8\text{V})$  poate conduce la distrugerea acestor diode;
2. Pentru  $V_I > 5\text{V}$  apare riscul distrugerii joncțiunii BE a tranzistorului multiemiter prin depășirea pragului de polarizare inversă de  $5,5\text{V}$  (mai ales în cazul în care una din intrări este conectată la "0" logic).

Pentru evitarea unei astfel de situații, conectarea unei intrări la  $+V_{CC}$  se face prin intermediul unei rezistențe mai mari de  $1\text{K}\Omega$ .

#### Caracteristicile de ieșire

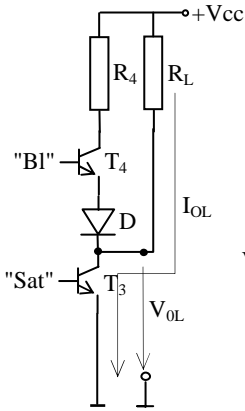
În fig. 3.20 este prezentat circuitul și caracteristica de ieșire pentru o poartă a cărei ieșire se află în starea "0" logic, iar în fig. 3.21 – pentru o poartă cu ieșirea aflată în starea "1" logic.

Astfel, caracteristica de ieșire ridicată pentru o poartă a cărei ieșire se află în starea "0" logic, fig. 3.20 b, evidențiază – printre altele – capacitatea porții de a furniza o tensiune de ieșire  $V_{OL} \leq V_{OLmax}=0,4\text{V}$  la un curent de sarcină  $I_{OLmax}=16\text{ mA}$ , corespunzător unei sarcini de 10 porți TTL standard.

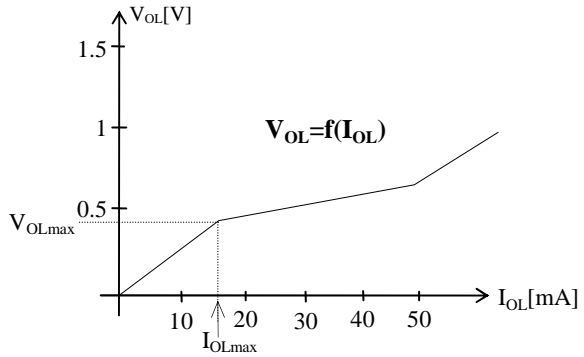
În același timp, caracteristica de ieșire ridicată pentru o poartă a cărei ieșire se află în starea "1" logic, fig. 3.21 b, ilustrează faptul că tensiunea de ieșire trebuie să respecte relația  $V_{OH} \geq V_{OHmin}=2,4\text{V}$ , fig. 3.21 a, în condițiile unei sarcini  $R_L$



echivalente cu 10 porți TTL standard, corespunzătoare unui curent de ieșire:  
 $-I_{OHmax} = 10 \cdot 40 \mu A = 400 \mu A$ .

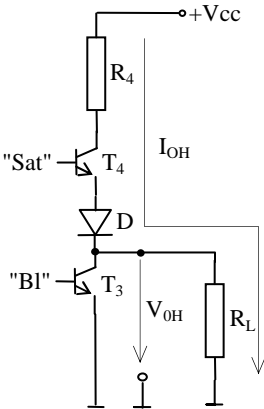


a) circuitul

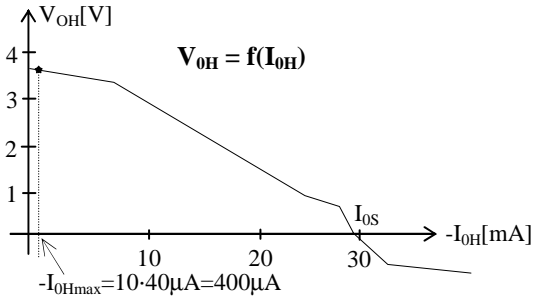


b) caracteristica propriu-zisă

Fig. 3.20. Caracteristica de ieșire a porții TTL standard cu ieșirea în "0" logic



a) circuitul



b) caracteristica propriu-zisă

Fig. 3.21. Caracteristica de ieșire a porții TTL standard cu ieșirea în "1" logic

Curentul de scurtcircuit  $I_{OS}$ , calculabil pe fig. 3.21 a, cu relația:

$$I_{OS} = \frac{V_{CC} - V_{CE4sat} - V_D}{R_4} = \frac{5 - 0,1 - 0,7}{130} \cong 30 \text{ mA} , \quad (3.39)$$

va trebui să se încadreze în plaja (20 ... 55) mA pentru seria comercială, respectiv (18 ... 55) mA pentru seria militară.

### 3.2.1.3.5. Parametrii familiei TTL standard

Prezentăm în continuare principalii parametri ai porții TTL standard.

*Nivelurile logice*, reprezintă valori limită garantate de catalog pentru tensiunile de ieșire și de intrare ale unei porții TTL standard, valori ce corespund celor două stări logice posibile: L ("0" logic) și H ("1" logic).

Astfel, reprezentând în partea din stânga a axei tensiunilor, fig. 3.22, nivelurile logice limită ale tensiunii de ieșire  $V_0$  a porții  $P_1$  care comandă poarta  $P_2$ , iar în partea din dreapta – nivelurile logice limită ale tensiunii de intrare  $V_1$  a porții comandate  $P_2$ , distingem următorii parametri:

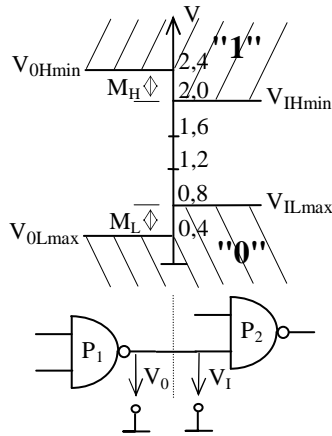


Fig. 3.22. Nivelurile logice ale porții TTL standard

\*  $V_{0Lmax}$ , tensiunea maximă de ieșire în stare "jos" a porții  $P_1$  care comandă poarta  $P_2$ ;

\*  $V_{0Hmin}$ , tensiunea minimă de ieșire în stare "sus" a porții  $P_1$  care comandă poarta  $P_2$ ;

\*  $V_{1Lmax}$ , tensiunea maximă de intrare în stare "jos" a porții comandate  $P_2$ ;

\*  $V_{1Hmin}$ , tensiunea minimă de intrare în stare "sus" a porții comandate  $P_2$ .

Astfel, tensiunea de ieșire a porții  $P_1$  (care comandă) poate fi cel mult  $V_{0Lmax} = 0,4V$  pentru "0" logic și cel puțin  $V_{0Hmin} = 2,4V$  pentru "1" logic.

Poarta  $P_2$  (comandată), recunoaște drept "0" logic orice tensiune de intrare situată sub  $V_{1Lmax} = 0,8V$  și drept "1" logic, orice tensiune de intrare care depășește  $V_{1Hmin} = 2V$ .

*Marginea de zgomot*, fig. 3.22, asigură compatibilitatea dintre o poartă care comandă,  $P_1$ , și una comandată,  $P_2$ , în sensul că poarta  $P_1$  care comandă, furnizează la ieșire o tensiune care este recunoscută cu o anumită "marjă", numită *margine de zgomot*, de către poarta comandată  $P_2$ .

Se definesc două margini de zgomot:  $M_H$  pentru starea “sus” și  $M_L$  pentru starea “jos”.

În cazul porții TTL standard, așa cum rezultă și din fig. 3.22, marginile de zgomot sunt :  $M_H = M_L = 0,4V$ .

*Marginea de zgomot medie sau imunitatea la zgomot* se definește în regim dinamic și reprezintă proprietatea porții de a nu răspunde la impulsuri parazite de înaltă frecvență.

Astfel, apariția la intrarea porții a unui impuls parazit de durată mai mică decât viteza de răspuns a acesteia va trece neobservată întrucât impulsul va înceta înainte ca efectul său asupra ieșirii porții să se fi produs.

*Fan-out-ul sau capacitatea maximă de încărcare a porții* sau, încă, *evantaiul de ieșire*, reprezintă numărul maxim de porți TTL standard care se pot cupla la ieșirea unei porți de același tip.

Numărul  $N$  de “sarcini standard” se determină făcând raportul dintre curentul maxim disponibil la ieșirea unei porți TTL standard și curentul maxim absorbit de intrarea altei asemenea porți, cuplată la ieșirea celei dintâi.

Se definesc două fan-out-uri:

- fan-out-ul în stare “jos”, v. fig. 3.19 a, dat de relația:

$$N_L = \frac{I_{0Lmax}}{I_{ILmax}}, \quad (3.40)$$

în care  $I_{0Lmax} = I_{C3sat,max} = 16 \text{ mA}$  este impus prin însăși construcția tranzistorului  $T_3$ , iar  $I_{ILmax} = 1,6 \text{ mA}$  reprezintă valoarea maximă a lui  $I_{IL}$ , calculat cu relația 3.38 ;

- fan-out-ul în stare “sus”, v. fig. 3.19 b, având expresia:

$$N_H = \frac{I_{0Hmax}}{I_{IHmax}}, \quad (3.41)$$

în care  $I_{0Hmax} = 0,8 \text{ mA}$  reprezintă valoarea maximă a curentului pe care-l poate furniza tranzistorul  $T_4$  în cele mai defavorabile condiții, fără alterarea nivelului logic de ieșire, iar  $I_{IHmax} = 40 \mu\text{A}$  este valoarea maximă a curentului care circulă prin  $T_1$ , aflat în RAI.

Efectuând calculele, obținem  $N_L = 10$  și  $N_H = 20$ , fan-out-ul global al porții calculându-se cu relația :

$$N = \min\{N_L, N_H\} = 10. \quad (3.42)$$

*Timpul de întârziere la propagare (Propagation Delay Time) –  $t_{pd}$* , reprezintă întârzierea cu care se propagă informația logică prin poartă și poate fi determinat cu ajutorul montajului experimental din fig. 3.23. Este vorba despre o poartă TTL standard utilizată ca inversor, având conectat la intrare un generator de impulsuri  $v_G$  și debitând semnal pe 10 porți de același tip cu ea.

Caracteristicile generatorului de impulsuri, observabile în parte pe diagramele din fig. 3.24, sunt :

- impedanța de ieșire a generatorului :  $Z_G = 50 \Omega$  ;
- amplitudinea maximă a impulsurilor :  $V_G = 3,5V$  ;
- frecvența impulsurilor :  $1 \text{ MHz}$  ;
- durata frontului anterior al impulsului:  $t_r = 10 \text{ ns}$  ;

- durata frontului posterior al impulsului:  $t_f=5\text{ns}$ ;
- durata impulsului, măsurată la nivelul de  $1,5\text{V}$ :  $t_w=500\text{ns}$ .

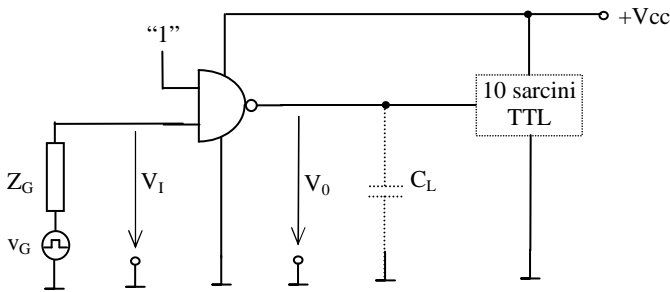


Fig. 3.23. Montaj experimental pentru determinarea  $t_{pd}$

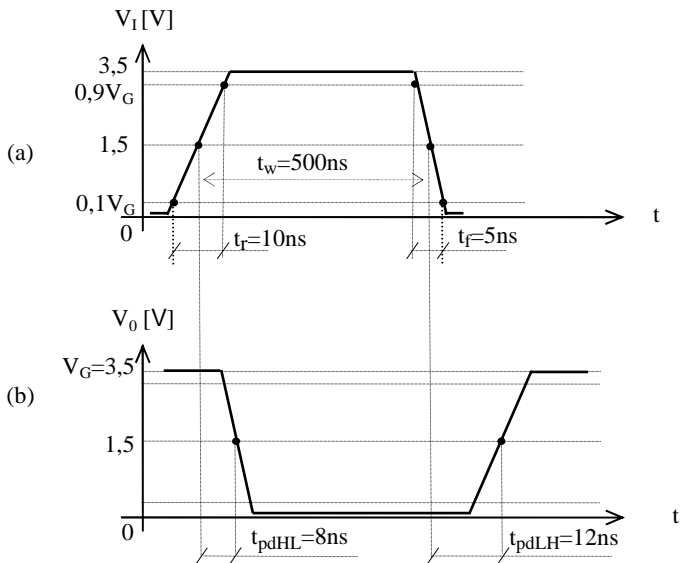


Fig. 3.24. Explicativă pentru timpii de întârziere la propagare:

- forma de undă a tensiunii de intrare;
- forma de undă a tensiunii de ieșire.

Răspunsul porții TTL standard la impulsuri de tipul celui prezentat în fig. 3.24 a, este dat în fig. 3.24 b, din care pot fi observați timpii de întârziere la propagare prin poartă în cazul unor tranziții “sus-jos”,  $t_{pdHL}$ , respectiv “jos-sus”,  $t_{pdLH}$ . Timpul de întârziere la propagare global al porții este media aritmetică a timpilor amintiți mai sus, adică:

$$t_{pd} = \frac{t_{pdHL} + t_{pdLH}}{2} = \frac{8+12}{2} = 10\text{ns} . \quad (3.43)$$

Atragem atenția asupra faptului că un rol important în determinarea regimurilor tranzitorii îl are capacitatea  $C_L \approx 15\text{pF}$ , formată din capacitatea de ieșire a porții testate, capacitatea de intrare globală a celor 10 porți TTL standard care formează sarcina, la care se mai adaugă și capacitatea sondelor de măsură.

*Puterea medie consumată de poartă -  $P_d$*

Pentru circuitele integrate din seria CDB 4XX, consumul de putere diferă în funcție de numărul de porți pe care-l conțin. Puterea medie absorbită de poartă rămâne însă aceeași.

Astfel, luând ca exemplu de calcul circuitul integrat CDB 400, fig. 3.25, având în componență 4 porți TTL de tip NAND cu câte 2 intrări, circuitul al cărui consum de curent din sursa de alimentare în stare “jos”, respectiv “sus”, este:  $I_{CCL}=12\text{mA}$ , respectiv  $I_{CCH}=4\text{mA}$ , putem determina curentul mediu absorbit de către circuitul integrat din sursa de alimentare:

$$I_{CC\text{med}} = \frac{I_{CCL} + I_{CCH}}{2} = \frac{12+4}{2} = 8\text{mA} . \quad (3.44)$$

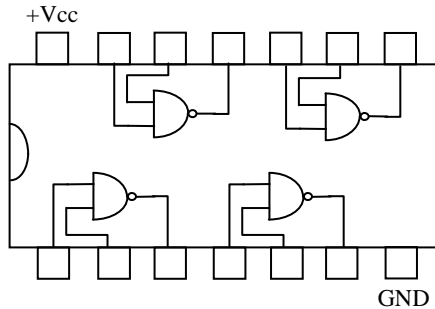


Fig. 3.25. Circuitul integrat CDB 400

Puterea medie disipată pe întregul circuit integrat va fi:

$$P_{dCI} = I_{CC\text{med}} \cdot V_{CC} = 8 \cdot 5 = 40\text{mW}, \quad (3.45)$$

deci puterea medie disipată pe numai una din cele 4 porți ale acestuia va fi:

$$P_{d\text{ poartă}} = 10\text{mW}. \quad (3.46)$$

*Factorul de calitate -  $Q$*  reprezintă produsul dintre timpul de întârziere la propagare și puterea medie consumată de poartă:

$$Q = t_{pd} \cdot P_d \quad (3.47)$$

și constituie un factor de merit pentru o familie de circuite digitale.

Compromisul realizat între  $t_{pd}$  și  $P_d$  diferențiază între ele subfamiliile derivate dintr-o familie standard. Pentru a avea un reper în acest sens, menționăm faptul că familia TTL standard pe care am studiat-o până în prezent are un  $t_{pd}$  de 10ns, un consum mediu de 10mW, un factor de calitate  $Q=100\text{pJ}$  și o frecvență maximă de lucru  $f_{\text{max.}}=35\text{MHz}$ .

### 3.2.1.4. Subfamilia TTL rapidă (HTTL)

Obținerea unei viteze de lucru sporite pentru subfamilia TTL rapidă în comparație cu familia TTL standard se poate face atât prin creșterea puterii disipate pe poartă cât și prin adoptarea unor modificări structurale ale porții TTL standard din fig. 3.11.

Rezultă circuitul din fig. 3.26, în care observăm micșorarea valorilor ohmice ale tuturor rezistențelor din circuit la aproximativ jumătate, înlocuirea tranzistorului  $T_4$  și a diodei  $D$  din etajul final al porții TTL standard cu un montaj tranzistor compus (Darlington) format din  $T_6$ ,  $T_7$ ,  $R_7$  și înlocuirea rezistenței  $R_2$  cu o rezistență neliniară formată din grupul  $R_5$ ,  $R_6$ ,  $T_5$ .

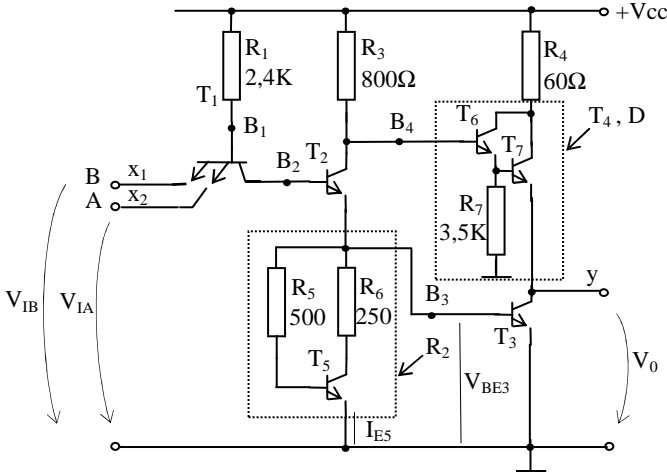


Fig. 3.26. Poarta NAND - HTTL

3.2.1.4.1. Creșterea vitezei de lucru prin creșterea puterii disipate pe poartă are la bază relația 3.47 și observația conform căreia micșorarea valorilor ohmice ale tuturor rezistențelor din circuit va avea ca efect creșterea  $P_d$ , scăderea  $t_{pd}$  și, implicit, creșterea vitezei de lucru a porții.

#### 3.2.1.4.2. Creșterea vitezei de lucru prin introducerea montajului Darlington

Montajul Darlington conservă calitățile circuitului pe care-l înlocuiește din schema porții TTL standard, adaugând în plus alte noi însușiri care conduc la creșterea vitezei de lucru a porții HTTL din care face parte.

a) Montajul Darlington preia rolul diodei  $D$  de blocare a tranzistorului din brațul superior al etajului final ( $T_7$ ), atunci când  $T_3$  este saturat.

Într-adevăr, atunci când  $T_3$  este saturat,  $V_0 = V_{CE3sat} \approx 0,1V$ , deci potențialul bornei de ieșire a circuitului este de  $0,1V$  față de masă. În același timp,  $V_{BE3sat} = 0,7V$ , deci potențialul lui  $B_3$  față de masă este  $0,7V$ . Tranzistorul  $T_2$  fiind și el saturat (v.

zona 4 a caracteristicii de transfer din fig. 3.13 și tab. 3.9),  $V_{CE2sat} \approx 0,1V$ , deci potențialul punctului  $B_4$  va fi:

$$V_{B4} = V_{CE2sat} + V_{B3} = 0,1 + 0,7 = 0,8V. \quad (3.48)$$

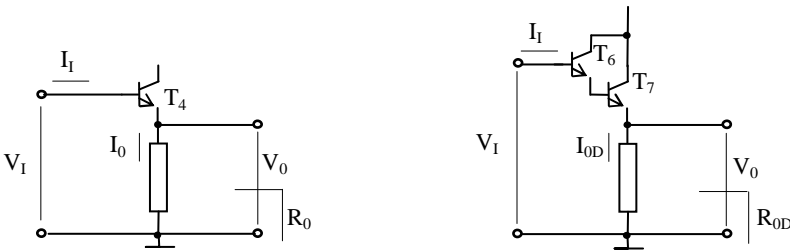
Cele două joncțiuni,  $BE_6$  și  $BE_7$ , vor fi supuse, prin urmare, diferenței de potențial:

$$V_{B4} - V_0 = 0,8 - 0,1 = 0,7V, \quad (3.49)$$

insuficientă pentru a le deschide, deci  $T_6$  și  $T_7$  vor fi blocate.

Rolul diodei  $D$  din schema porții TTL standard a fost preluat de către una din joncțiunile bază-emiter ale lui  $T_6$  sau  $T_7$ , astfel încât tranzistorul  $T_7$  va fi blocat ferm atunci când  $T_3$  va fi saturat.

b) *Montajul Darlington oferă o rezistență de ieșire mult mai mică decât cea realizată de către tranzistorul  $T_4$  din schema porții TTL standard, contribuind astfel la obținerea unor timpi de comutație mai mici, deci a unor viteze de lucru mai mari.*



a) Cazul porții TTL standard (fără Darlington)

b) Cazul porții HTTL (cu Darlington)

Fig. 3.27. Efectul introducerii montajului Darlington asupra rezistenței de ieșire

Considerând schema simplificată din fig. 3.27 a, în care tranzistorul  $T_4$  din circuitul de ieșire al porții TTL standard debitează pe o sarcină cuplată în emiter care înlocuiește tranzistorul  $T_3$ , rezistența de ieșire  $R_0$  a montajului se calculează astfel:

$$\begin{aligned} R_0 &= \frac{V_0}{I_0} = \frac{V_I - V_{BE4}}{I_{E4}} \cong \frac{V_I}{I_{C4} + I_{B4}} \cong \frac{V_I}{\beta_{N4} \cdot I_{B4} + I_{B4}} = \\ &= \frac{V_I}{I_{B4}(\beta_{N4} + 1)} = \frac{V_I}{I_I(\beta_{N4} + 1)} = \frac{R_{in}}{\beta_{N4} + 1}. \end{aligned} \quad (3.50)$$

Procedând similar cu montajul Darlington care înlocuiește grupul  $T_4, D$ , și eliminând rezistența  $R_7$  pentru simplificarea calculului, obținem:

$$\begin{aligned} R_{OD} &= \frac{V_0}{I_{OD}} = \frac{V_I - V_{BE6} - V_{BE7}}{I_{E7}} \cong \frac{V_I}{I_{B7} \cdot (\beta_{N7} + 1)} = \frac{V_I}{I_{E6} \cdot (\beta_{N7} + 1)} \cong \\ &\cong \frac{V_I}{I_{B6} \cdot (\beta_{N6} + 1)(\beta_{N7} + 1)} = \frac{V_I}{I_I \cdot (\beta_{N6} + 1)(\beta_{N7} + 1)} = \end{aligned}$$

$$= \frac{\frac{V_I}{I_I}}{(\beta_{N6}+1)(\beta_{N7}+1)} = \frac{R_{in}}{(\beta_{N6}+1)(\beta_{N7}+1)}. \quad (3.51)$$

Comparând relațiile 3.50 și 3.51, constatăm că rezistența de ieșire în cazul porții HTTL este de  $\beta_N + 1$  ori mai mică decât în cazul porții TTL standard:

$$R_{0D} = \frac{R_0}{\beta_N + 1}. \quad (3.52)$$

Ținând seama de faptul că rezistențele de ieșire ale unei porți în cele două stări logice posibile, împreună cu capacitățile parazite inerente care apar la ieșirea circuitului logic, determină constantele de timp ale regimului de comutație și, în final, timpii de comutație, rezultă că introducerea montajului Darlington va asigura o viteză de lucru mult mai mare a porții HTTL comparativ cu cea a porții TTL standard.

*c) Montajul Darlington împiedică saturarea tranzistorului  $T_7$ , eliminând astfel timpul de stocare aferent acestuia și mărinđ suplimentar viteza de lucru a porții HTTL.*

Prin însași construcția montajului Darlington, fig. 3.26, circuitul colector-emiter al tranzistorului  $T_6$  este conectat în paralel cu joncțiunea colector-bază a tranzistorului  $T_7$  și, indiferent de starea tranzistorului  $T_6$ , curentul din circuitul de ieșire al acestuia va circula pe traseul  $R_4$ , colector  $T_6$ , emiter  $T_6$ ,  $R_7$ , masă, asigurând o tensiune  $V_{CE6}$  cu + pe colector și – pe emiter, deci polarizând invers joncțiunea bază-colector a tranzistorului  $T_7$ . Acesta nu se va mai putea satura niciodată, fiind astfel eliminat timpul de stocare și crescând implicit viteza de lucru a porții HTTL.

### 3.2.1.4.3. Creșterea vitezei de lucru prin introducerea rezistenței neliniare

Creșterea vitezei de lucru prin creșterea puterii disipate pe poartă ar fi implicat, oricum, micșorarea valorii ohmice a rezistenței  $R_2$  de la  $1K\Omega$  în cazul porții TTL standard, la cca.  $600\Omega$  în cazul porții HTTL. În dorința de a obține viteze de comutație și mai mari, rezistența  $R_2=600\Omega$  a fost înlocuită la poarta HTTL cu o rezistență neliniară formată din grupul  $R_5, R_6, T_5$ .

Reprezentând grafic în planul  $(I_{E5}, V_{BE3})$  evoluțiile lui  $R_2=600\Omega$  și  $R_{nelin.}$ , fig. 3.28, diagramele a și b, încercăm să urmărim în fig. 3.29 modul în care se modifică caracteristica de transfer a porții TTL standard datorită introducerii rezistenței neliniare.

Astfel, în zona (1) a caracteristicii de transfer din fig. 3.29,

$$0V \leq V_{I1} < 0,5V, \quad (3.53)$$

$$\text{deci } 0,7V \leq V_{B1} < 1,2V, \quad (3.54)$$

și niciuna dintre tripletele de joncțiuni  $BC_1, BE_2, BE_3$  – nu va fi deschisă.

Tranzistoarele  $T_2, T_3$  și  $T_5$  vor fi blocate,  $I_{E5}=0$  și  $R_{nelin.} \rightarrow \infty$ .

În zona (2) a caracteristicii de transfer,

$$0,5V \leq V_{I1} < 1,1V, \quad (3.55)$$

$$\text{deci } 1,2V \leq V_{B1} < 1,8V, \quad (3.56)$$



și din nou cele două triplete de joncțiuni vor fi blocate, fiecareia dintre ele revenindu-i mai puțin de 0,6V. Tranzistoarele  $T_2$ ,  $T_3$ ,  $T_5$  vor fi blocate, iar caracteristica de transfer a porții HTTL, diagrama b, fig.3.29, zona (2), va rămâne la același nivel cu zona (1), adică  $V_0^{(2)} = 3,6V$ .

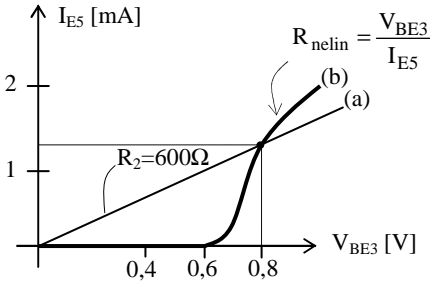


Fig. 3.28. Evoluțiile lui  $R_2$  și  $R_{nelin}$ . în plan caracteristicilor curent-tensiune

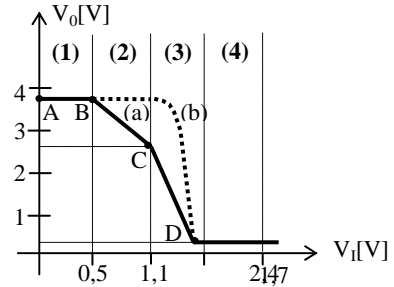


Fig. 3.29. Caracteristica de transfer a) poarta TTL standard; b) poarta HTTL

În zona (3),

$$1,1 \leq V_I < 1,1 + V_E, \quad (3.57)$$

$$1,8 \leq V_{B1} < 1,8 + V_E, \quad (3.58)$$

și cele două triplete de joncțiuni se vor deschide. Evident, joncțiunea  $BE_3$  se va deschide înaintea joncțiunii  $BE_5$  deoarece aceasta din urmă este înseriată în plus cu rezistența  $R_5$ . Prin urmare,  $I_{B3}$  va crește mai repede decât  $I_{E5}$ , fiind astfel forțată intrarea mai rapidă în conducție a lui  $T_3$  care are ca efect evoluția descendentă a caracteristicii de transfer a porții HTTL din fig. 3.29 b, zona (3).

Pentru  $V_{BE3} > 0,8V$ ,  $R_{nelin}$  scade sub  $600\Omega$ , fig. 3.28, datorită creșterii accentuate a lui  $I_{E5}$ .

Întrucât

$$I_{E5} + I_{B3} \approx \text{const.}, \quad (3.59)$$

$I_{B3}$  va scădea, evitându-se astfel intrarea în saturație profundă a lui  $T_3$  și creându-se premisele unei mai rapide ieșiri din saturație a acestuia, deci a unui timp de stocare mai redus.

Tranziția mult mai rapidă a porții HTTL din stare “sus” în stare “jos”, fig. 3.29, caracteristica b, ilustrează cum nu se poate mai bine creșterea vitezei de comutație a acesteia în comparație cu poarta TTL standard.

Un alt efect benefic al introducerii rezistenței neliniare în schema porții HTTL îl constituie insensibilizarea punctului static de funcționare al lui  $T_3$  în raport cu variațiile de temperatură.

Într-adevăr, creșterea temperaturii  $T$  implică creșterea curenților de colector ai tranzistoarelor  $T_3$  și  $T_5$  conform schemei sinoptice din fig. 3.30.

Creșterea lui  $I_{C5}$  implică creșterea lui  $I_{E5}$  și, datorită relației 3.59, se realizează scăderea lui  $I_{B3}$ , deci în final - a lui  $I_{C3}$ .

Tendința de creștere a lui  $I_{C3}$  a fost compensată, iar insensibilizarea p.s.f. al lui  $T_3$  în raport cu variațiile de temperatură a fost demonstrată.

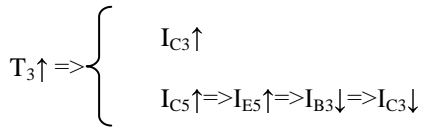


Fig. 3.30 Schemă sinoptică demonstrativă pentru insensibilizarea p.s.f. al lui  $T_3$

Ca urmare a tuturor modificărilor menționate, subfamilia TTL rapidă va prezenta următorii parametri:  $t_{pd}=6ns$ ,  $P_d=22mW$ ,  $Q=132pJ$  și  $f_{max}=50MHz$ .

### 3.2.1.5. Subfamilia TTL-Schottky

Subfamilia TTL Schottky prezintă o schemă identică cu cea a porții HTTL, cu deosebirea că toate tranzistoarele (cu excepția lui  $T_7$ ) sunt tranzistoare Schottky, fig. 2.13, a căror prezență asigură viteze superioare de comutație datorită eliminării timpilor de stocare. (v. § 2.2).

Înlocuirea tranzistorului  $T_7$  cu un tranzistor Schottky nu a mai fost necesară întrucât montajul Darlington din care face parte împiedică intrarea acestuia în saturație (v. § 3.2.1.4.2 c).

Modificările menționate mai sus au condus la obținerea următorilor parametri:  $t_{pd}=3ns$ ,  $P_d=20mW$ ,  $Q=60pJ$  și  $f_{max}=120MHz$ .

### 3.2.1.6. Circuite logice cu colectorul în gol

Posibilitatea conectării în paralel a ieșirilor a două sau mai multor circuite logice în scopul de a construi funcții logice cablate sau de a intermedia cuplarea la aceeași magistrală de date a mai multor subblocuri logice, reprezintă o calitate care-i lipsește familiei TTL standard.

Pentru exemplificare, vom considera o parte din schema bloc simplificată a unui sistem numeric modern, fig. 3.30, în care cele  $n$  subblocuri logice  $SL_1, \dots, SL_n$ ,

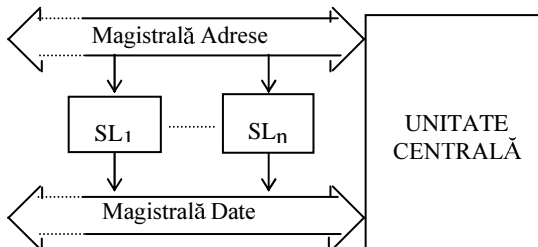


Fig. 3.30. Schema logică simplificată a unei părți dintr-un sistem numeric modern

având câte  $8 \cdot m$  ieșiri fiecare, sunt cuplate în paralel pe aceeași magistrală de date formată din  $8 \cdot m$  linii pe care se transmit  $m$  octeți de informație, cu observația că injectarea în magistrala de date a informațiilor de la ieșirea oricăruia dintre cele  $n$  subblocuri logice are loc numai în momentul apariției în magistrala de adrese a combinației logice specifice subblocului respectiv.

Prin urmare, la fiecare dintre cele  $8 \cdot m$  linii ale magistralei de date, vor fi cuplate în paralel ieșirile a câte  $n$  circuite logice elementare, câte unul pentru fiecare subbloc logic.

Aceste circuite nu pot fi porți TTL standard întrucât, așa cum rezultă din fig. 3.31, cuplarea în paralel a ieșirilor a două (sau mai multor) astfel de porți, în cazul în

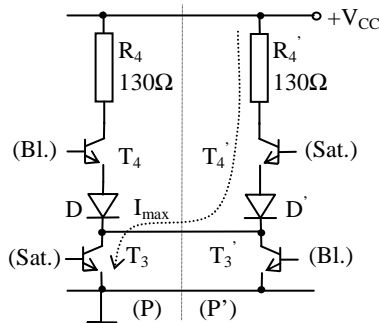


Fig. 3.31. Explicativă pentru cuplarea în paralel a ieșirilor a două porți TTL standard

care valorile logice ale ieșirilor acestora nu coincid, ar conduce la apariția unui curent:

$$I_{\max} = \frac{V_{CC} - V_{CE4'sat} - V_{D'} - V_{CE3sat}}{R_4} = \frac{5 - 0,1 - 0,7 - 0,1}{130} \cong 32\text{mA}, \quad (3.60)$$

cu mult peste valorile  $I_{C3\max}=16\text{mA}$  sau  $I_{C4'\max}=0,8\text{mA}$ , la care sunt garantate nivelurile logice de ieșire.

Prin urmare, apare un consum exagerat de curent din sursa de alimentare, conjugat cu riscul distrugerii lui  $T_4'$  sau  $T_3$  și cu certitudinea că potențialele ieșirilor interconectate se vor altera, nemaiputând fi nici  $0,4\text{V}$ , corespunzător stării “jos” a porții P, nici  $2,4\text{V}$  care ar fi corespuns stării “sus” a porții P' (v. fig. 3.31).

Rezolvarea problemei cuplării în paralel a ieșirilor mai multor porți logice s-a realizat prin simplificarea schemei porții TTL standard de maniera din fig. 3.32, obținându-se astfel poarta logică cu colectorul în gol.

Comparând figurile 3.32 și 3.11, constatăm că schema porții logice cu colectorul în gol a fost obținută din cea a porții TTL standard prin suprimarea lui  $R_4$ ,  $T_4$  și  $D$  și introducerea rezistenței exterioare  $R_{\text{ext}}$ , comună ieșirilor porților cu colectorul în gol interconectate.

Pentru o mai bună înțelegere a funcționării unui astfel de circuit, vom considera două porți inversoare cu colectorul în gol, P și P', fig. 3.33, cu ieșirile conectate în paralel și vom urmări funcționarea acestui ansamblu cu ajutorul

tabelului centralizator 3.11, utilizând cunoștințele însușite la studiul inversorului TTL, § 3.2.1.3.2.

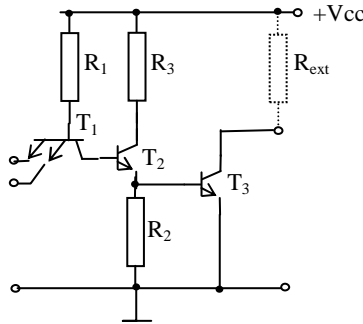


Fig. 3.32. Poarta ȘI-NU (NAND) cu colectorul în gol

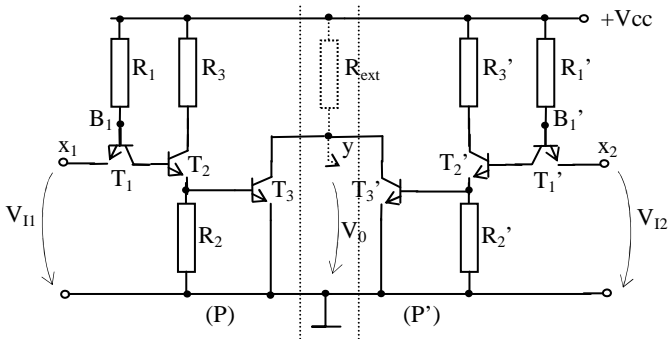


Fig. 3.33. Explicativă pentru cuplarea pe o sarcină comună a două porți logice cu colectorul în gol

Tab. 3.11. Ajutător pentru înțelegerea realizării funcției ȘI-cablat

$x_2$	$x_1$	Stările tranzistoarelor		$y$
		$T_3'$	$T_3$	
0	0	Bl.	Bl.	1
0	1	Bl.	Sat.	0
1	0	Sat.	Bl.	0
1	1	Sat.	Sat.	0

Astfel, pentru  $x_1=x_2=0$ , corespund tensiunile de intrare  $V_{11}=V_{12}=0V$ , iar potențialele punctelor  $B_1$  și  $B_1'$  vor fi  $0,7V$ , insuficiente pentru a deschide tripletele de joncțiuni:  $BC_1$ ,  $BE_2$ ,  $BE_3$ , respectiv  $BC_1'$ ,  $BE_2'$ ,  $BE_3'$  și tranzistoarele  $T_3$  și  $T_3'$

vor fi blocate. Potențialul  $+V_{CC}$  se va transfera la ieșire prin rezistența  $R_{ext}$ , deci  $V_0 = +V_{CC}$  și  $y = 1$  logic.

Pentru  $x_1 = 1$  și  $x_2 = 0$ , vom avea  $V_{11} = +V_{CC}$  și  $V_{12} = 0V$ , astfel încât joncțiunea BE a tranzistorului  $T_1$  va fi blocată, iar în  $B_1$  vom avea  $3 \cdot 0,7 = 2,1V$ , deci joncțiunile  $BC_1$ ,  $BE_2$  și  $BE_3$  vor fi deschise și  $T_3$  va fi saturat. Întrucât  $x_2 = 0$  ca și în cazul anterior,  $T_3'$  va rămâne în continuare blocat. Tensiunea de ieșire va fi  $V_0 = V_{CE3sat} \approx 0,1V$ , deci  $y = 0$  logic.

Extrapolând aceste rezultate și ținând seama de simetria schemei, obținem pentru fiecare  $x_i = 1$ , cu  $i = 1, 2$ , saturația tranzistorului final corespunzător ( $T_3$  sau  $T_3'$ ), deci  $y = 0$  logic.

Ultima coloană a tabelului 3.11 indică un comportament de tip SAU-NU (NOR) al circuitului din fig. 3.33, adică:

$$y = \overline{x_1 + x_2} \quad (3.61)$$

Aplicând *De Morgan* relației 3.61, obținem:

$$y = \overline{x_1} \cdot \overline{x_2} \quad (3.62)$$

relație care ne permite o redesenare simbolică a circuitului din fig. 3.33 de maniera din fig. 3.34, în care este pusă în evidență funcția *ȘI-cablat* realizată prin cuplarea în paralel pe aceeași sarcină a două inversoare cu colectorul în gol.

Calculul lui  $R_{ext}$  se poate face cu ajutorul relației:

$$R_{ext} = \frac{V_{CC} - V_0}{\sum I} \quad (3.63)$$

adaptată pentru cele două stări logice posibile ale ieșirii circuitului.

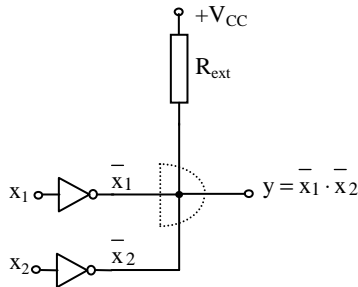


Fig. 3.34. Funcția *ȘI-cablat*

Astfel, pentru starea “sus”,  $V_{0Hmin} = 2,4V$  și ne aflăm în situația prezentată în fig. 3.35 în care  $M$  porți logice cu colectorul în gol au ieșirile cuplate în paralel pe rezistența  $R_{ext}$  și debitează pe o sarcină formată din  $N$  porți logice similare.

Deducem:

$$R_{ext,max} = \frac{V_{CC} - V_{0Hmin}}{M \cdot I_{0Hmax} + N \cdot I_{1Hmax}} \quad (3.64)$$

Pentru starea “jos”,  $V_{0Lmax}=0,4V$  și valoarea minimă a lui  $R_{ext}$  se determină din fig. 3.36 în care se pune condiția ca valoarea lui  $V_{0Lmax}$  să se mențină atunci când prin  $R_{ext}$  circulă curentul maxim absorbit de ieșirea unei singure porți logice cu colectorul în gol:

$$R_{ext.min} = \frac{V_{CC} - V_{0Lmax}}{I_{0Lmax} - N \cdot I_{ILmax}} \quad (3.65)$$

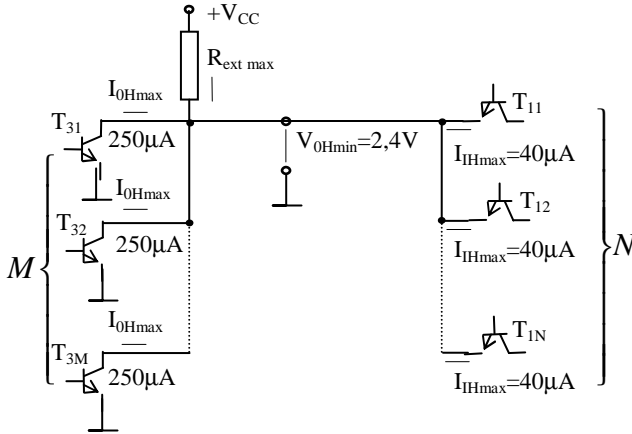


Fig. 3.35. Explicativă pentru calculul lui  $R_{ext.max}$

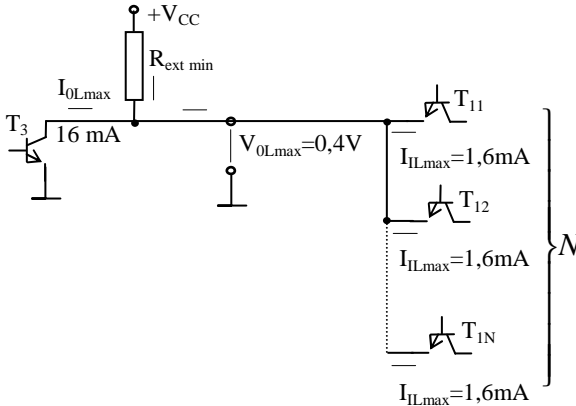


Fig. 3.36. Explicativă pentru calculul lui  $R_{ext.min}$

În final, alegem pentru  $R_{ext}$  o valoare standardizată cuprinsă între cele două valori determinate cu relațiile 3.64 și 3.65:

$$R_{ext} \in \{R_{ext.min}, R_{ext.max}\} \quad (3.66)$$

În fig. 3.37 prezentăm o aplicație care ilustrează modul în care se poate realiza cuplarea în paralel pe o magistrală de date a porților logice cu colector în gol, prin intermediul funcției ȘI-cablat.

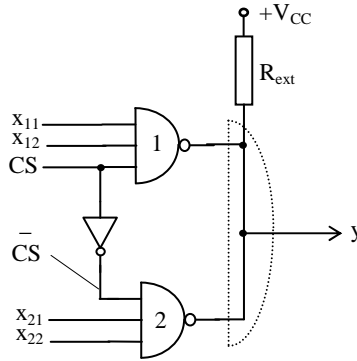


Fig. 3.37. Ilustrativă pentru cuplarea pe o magistrală de date a două porți logice cu colectorul în gol

Intrarea CS (Chip Select = selectare a chip-ului) comandă în contratimp cele două porți NAND, astfel încât pentru CS=1 vor avea acces în magistrală datele ce provin de la ieșirea porții nr. 1, iar pentru CS=0 – datele ce provin de la ieșirea porții nr. 2.

Funcția de ieșire a circuitului va fi:

$$y = \overline{x_{11} \cdot x_{12} \cdot CS} \cdot \overline{x_{21} \cdot x_{22} \cdot \overline{CS}} = \begin{cases} x_{11} \cdot x_{12}, & \text{pentru } CS=1; \\ x_{21} \cdot x_{22}, & \text{pentru } CS=0. \end{cases} \quad (3.67)$$

### 3.2.1.7. Circuite logice cu 3 stări

Subfamilia TSL (Three State Logic = logica cu 3 stări) permite cuplarea în paralel a ieșirilor mai multor porți logice fără dezavantajele pe care le implică utilizarea rezistenței externe,  $R_{ext}$ , în cazul porților logice cu colectorul în gol. Este vorba despre eliminarea disconfortului pe care-l presupune calculul acestei rezistențe și asigurarea unui loc pentru ea pe cablajul imprimat, de îmbunătățirea fiabilității globale a circuitului prin scăderea numărului de componente pe placă, cu efecte asupra prețului de cost, etc.

Subfamilia TSL oferă impedanțe de ieșire mici în stările "0" și "1" logic (aceleași ca la poarta TTL standard), iar în cea de a treia stare, starea de înaltă impedanță (HZ), prezintă o impedanță de ieșire de valoare atât de ridicată încât practic nu "încarcă" suplimentar circuitele cu care este cuplată.

Schema unei porții NAND-TSL se obține din cea a porții TTL standard, prin introducerea unui inversor (I) și a unei diode ( $D_2$ ), așa cum este ilustrat în fig. 3.37.

În fig. 3.38 este prezentat simbolul porții NAND-TSL, iar în tab. 3.12 – funcționarea acesteia.

Astfel, dacă intrarea de autorizare  $\bar{E}$  (ENABLE) este activată ( $\bar{E} = 0$ ), la ieșirea inversorului I vom avea "1" logic ceea ce face inoperant cel de-al treilea emiter al lui  $T_1$ , conectat în acest caz la  $+V_{CC}$ , și blochează dioda  $D_2$  al cărei catod este și el conectat în cazul de față la  $+V_{CC}$ . Schema din fig. 3.37 va funcționa ca un NAND-TTL standard, fapt ilustrat în primele 4 linii ale tab. 3.12.

În condițiile în care  $\bar{E} = 1$ , la ieșirea inversorului I vom avea "0" logic (maximum 0,4V), fapt care implică blocarea lui  $T_3$  (v. funcționarea inversorului TTL, § 3.2.1.3.2). În plus, dioda  $D_2$  va conduce, pe ea vor cădea 0,7V, iar în baza lui  $T_4$  vom avea maximum  $0,4 + 0,7 = 1,1V$ , insuficient pentru a deschide joncțiunea bază-emiter a tranzistorului  $T_4$  și dioda  $D_1$ . Tranzistoarele  $T_3$  și  $T_4$  se vor bloca, prin urmare, simultan, iar ieșirea y va fi practic izolată față de cele două borne ale sursei de alimentare, oferind circuitelor cu care este interconectată o înaltă impedanță (HZ).

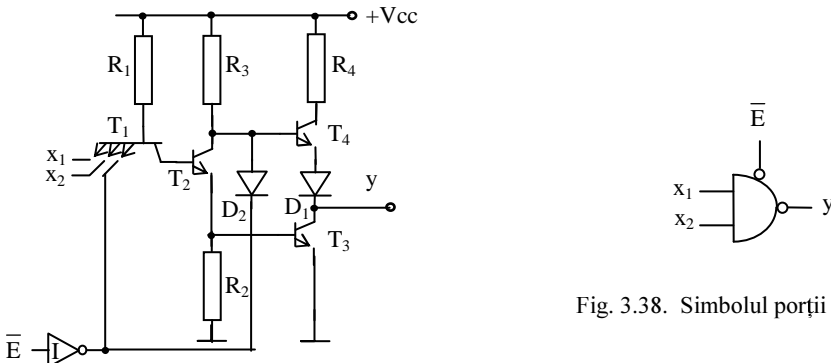


Fig. 3.37. Schema porții NAND - TSL

Fig. 3.38. Simbolul porții TSL

Tab. 3.12. Tabelul de funcționare al porții TSL

$\bar{E}$	$x_2$	$x_1$	y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	x	x	HZ



Cuplarea pe o magistrală de date a ieșirilor a două porți TSL se realizează simplu, fig. 3.38, unica condiție care se impune fiind autorizarea nesimultană a porților respective.

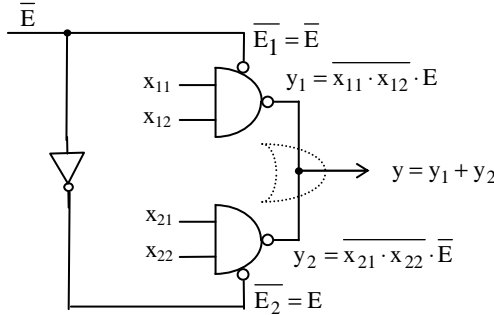


Fig. 3.38. Cuplarea ieșirilor a două porți TSL la o magistrală de date

Adoptând un sistem de autorizare de tipul celui prezentat în fig. 3.38, cu  $\bar{E} = \bar{E}_1 = E_2$ ,

obținem:

$$y = (\overline{x_{11} \cdot x_{12} \cdot E}) + (\overline{x_{21} \cdot x_{22} \cdot \bar{E}}), \quad (3.68)$$

deci:

$$y = \begin{cases} \overline{x_{11} \cdot x_{12}}, & \text{pentru } \bar{E} = 0; \\ \overline{x_{21} \cdot x_{22}}, & \text{pentru } \bar{E} = 1. \end{cases} \quad (3.69)$$

Din fig. 3.38 și relația 3.68 se remarcă realizarea funcției *SAU-cablat* prin conectarea în paralel pe magistrala de date a ieșirilor porților TSL respective și autorizarea nesimultană a funcționării acestora.

Valorile parametrilor circuitelor logice TSL sunt:  $t_{pd}=3\text{ns}$ ,  $P_d=22\text{mW}$ ,  $Q=66\text{pJ}$  și  $f_{\max}=70\text{MHz}$ .

### 3.2.1.8. Familia logică ECL

Familia logică ECL (Emitter Coupled Logic = logică cuplată în emiter) utilizează tranzistoare nesaturate și realizează, din acest motiv, viteze de lucru foarte mari.

Se știe deja că o creștere a vitezei de lucru (micșorarea timpilor de propagare) se poate realiza atât prin creșterea puterii disipate pe poartă (v. parametrii porții TTL standard, § 3.2.1.3.5) cât și prin evitarea saturației dispozitivului electronic activ utilizat (v. regimul de comutație al tranzistorului bipolar, § 2.2).

O soluție eficientă de a obliga tranzistorul ca în timpul regimului de comutație să rămână în RAN (să nu intre în saturație), constă în aplicarea unei reacții negative printr-o rezistență ce se montează în emiter, fig. 3.39.

Scriind Kirchhoff II pe ochiul de intrare al circuitului din fig. 3.39, obținem:

$$V_{BE} \approx V_I - R_E I_C, \quad (3.70)$$

relație din care se observă cu ușurință că orice creștere a lui  $V_I$  conduce într-o primă fază la o creștere a lui  $V_{BE}$  și implicit a lui  $I_B$  (v. caracteristicile de intrare ale tranzistorului, fig. 2.3) și  $I_C$  ( $I_C \approx \beta_N I_B$ ), deci în final la creșterea importanței termenului  $R_E I_C$ , urmată de scăderea lui  $V_{BE}$ .

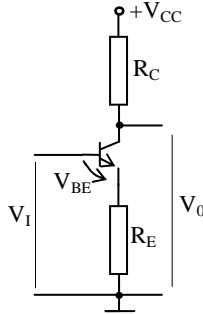


Fig. 3.39. Montaj asimetric cu reacție negativă

Funcționarea reacției negative, al cărei mecanism l-am descris mai sus pentru cazul unei scheme asimetrice, presupune, prin urmare, dezavantajul utilizării unor variații mari ale tensiunii de intrare  $V_I$  pentru a produce mici variații ale lui  $V_{BE}$  (zecimi sau chiar sutimi de volt) capabile să asigure comutarea tranzistorului.

Acest dezavantaj poate fi eliminat prin utilizarea unei scheme simetrice, diferențiale, de tipul celei prezentate în fig. 3.40.

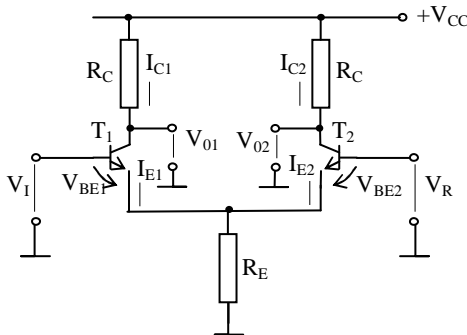


Fig. 3.40. Montaj simetric (diferențial) cu reacție negativă

Pe circuitele de intrare ale celor două tranzistoare,  $T_1$  și  $T_2$ , putem scrie relațiile:

$$V_{BE1} = V_I - R_E (I_{E1} + I_{E2}), \quad (3.71)$$

$$V_{BE2} = V_R - R_E (I_{E1} + I_{E2}), \quad (3.72)$$

în care  $V_R$  este o tensiune de referință, iar pe circuitele de ieșire vom avea:

$$V_{01} = V_{CC} - R_C I_{C1}, \quad (3.73)$$

$$V_{02} = V_{CC} - R_C I_{C2}. \quad (3.74)$$

Încercăm să explicăm funcționarea circuitului diferențial din fig. 3.40 pentru trei cazuri distincte:  $V_I = V_R$ ,  $V_I < V_R$ ,  $V_I > V_R$ , pe care le prezentăm centralizat în tab. 3.13.

Tab. 3.13. Centralizator pentru explicarea funcționării montajului diferențial din fig. 3.40

Cazul 1	Cazul 2	Cazul 3	Observații
$V_I = V_R$ ↓	$V_I < V_R$ ↓	$V_I > V_R$ ↓	Rel. 3.71 și 3.72
$V_{BE1} = V_{BE2}$ ↓	$V_{BE1} < V_{BE2}$ ↓	$V_{BE1} > V_{BE2}$ ↓	Fig. 2.3
$I_{B1} = I_{B2}$ ↓	$I_{B1} < I_{B2}$ ↓	$I_{B1} > I_{B2}$ ↓	$I_C \approx \beta_N I_B$
$I_{C1} = I_{C2}$ ↓	$I_{C1} < I_{C2}$ ↓	$I_{C1} > I_{C2}$ ↓	Rel. 3.73 și 3.74
$V_{01} = V_{02}$ ↓	$V_{01} > V_{02}$ ↓	$V_{01} < V_{02}$ ↓	Logică pozitivă
	1 0	0 1	

Spre exemplu, în cazul 1, pentru  $V_I = V_R$ , observăm din relațiile 3.71 și 3.72 că  $V_{BE1} = V_{BE2}$  și conform caracteristicilor de intrare din fig 2.3 (menționate în coloana de “observații” a tab. 3.13),  $I_{B1} = I_{B2}$ , cu implicațiile  $I_{C1} = I_{C2}$  ( $I_C \approx \beta_N I_B$ ) și  $V_{01} = V_{02}$  (v. relațiile 3.73 și 3.74).

Rezultă că, pentru o tensiune de intrare egală cu cea de referință, tensiunile de ieșire vor fi egale, iar curenții prin cele două brațe ale diferențialului vor fi egali.

Similar se demonstrează, pe baza aceluiași relații sau figuri menționate în coloana a patra a tab. 3.13, că pentru  $V_I < V_R$  se obține  $V_{01} > V_{02}$ , respectiv pentru  $V_I > V_R$  se obține  $V_{01} < V_{02}$ .

Întregul mecanism al funcționării montajului diferențial constă de fapt în comutarea unui curent constant, de la un tranzistor la altul, însoțită de variația corespunzătoare a lui  $V_{01}$  și  $V_{02}$ .

Aplicând principiul logicii pozitive, vom spune că în cazul  $V_{01} > V_{02}$ , lui  $V_{01}$  îi corespunde 1 logic iar lui  $V_{02} - 0$  logic, iar în cazul  $V_{01} < V_{02}$ , lui  $V_{01}$  îi corespunde 0 logic iar lui  $V_{02} - 1$  logic.

Pornind de la ideea utilizării montajului diferențial, expusă mai sus, s-a realizat poarta fundamentală a familiei ECL prezentată în fig. 3.41.

Ea se compune dintr-un montaj diferențial realizat cu tranzistoarele  $T_{1i}$ , ( $i=1, 2, 3$ ) și  $T_2$ , și repetoarele pe emiter  $T_3$  și  $T_4$  cu rol de adaptare de impedanță.

Întreaga schemă este alimentată cu  $-V_{EE}$  la bara de jos și “masa” la bara de sus, obținându-se astfel o atenuare a zgomotului de 1000 ori mai bună față de alimentarea clasică și o protecție intrinsecă la scurtcircuit pe ieșire. Într-adevăr,

conectând la masă oricare dintre cele două borne de ieșire, nu facem altceva decât să scurtcircuităm unul dintre tranzistoarele  $T_3$  sau  $T_4$ , protejându-l astfel împotriva distrugerii.

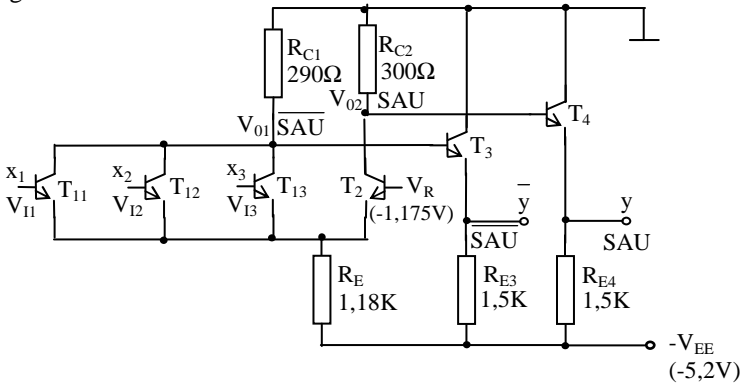


Fig. 3.41. Poarta fundamentală a familiei ECL

Tab. 3.14. Tabelul de adevăr al funcției logice  $\overline{\text{SAU}} / \text{SAU} - \text{ECL}$

$x_3$	$x_2$	$x_1$	$\overline{y}$	$y$
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1

Funcționarea schemei este simplă.

Pentru  $x_1=x_2=x_3=0$ ,  $V_{i1} < V_R$  și ne aflăm în cazul 2, tab. 3.13, deci  $V_{01} > V_{02}$  și  $\overline{y} = 1$ ,  $y = 0$  logic.

Este suficient ca numai una dintre intrările  $x_i$  să fie 1 logic ( $V_{i1} > V_R$ ) pentru ca tranzistorul corespunzător să se deschidă mai mult decât celelalte două și să coboare în acest mod nivelul lui  $V_{01}$ . Ca urmare,  $\overline{y} = 0$  și  $y = 1$ .

Tabelul de adevăr 3.14 obținut, este al funcțiilor  $\overline{\text{SAU}}$  și SAU, funcții reproduse la ieșirea circuitului, după cele două repetoare.

Tensiunea de referință  $V_R = -1,175\text{V}$  se obține cu ajutorul schemei din fig. 3.42 și se calculează cu ajutorul următoarelor relații:

$$V_R = V_{EE} - V_{R3}; \quad (3.75)$$

$$V_{R3} = V_B - V_{BE5}; \quad (3.76)$$

$$V_B = \frac{R_2}{R_1 + R_2} \cdot (V_{EE} - 2V_D) + 2V_D \quad (3.77)$$

Rezultă:

$$V_R = V_{EE} - \frac{R_2}{R_1 + R_2} \cdot (V_{EE} - 2V_D) - 2V_D + V_{BE5}, \quad (3.78)$$

din care, cu înlocuirile care se impun, se obține  $V_R = -1,175V$ .

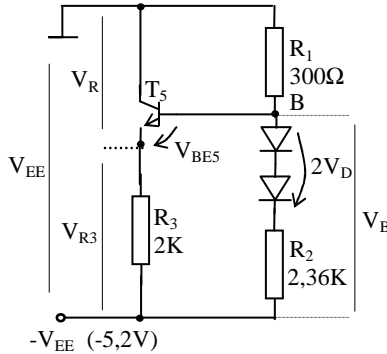


Fig. 3.42. Sursa de tensiune de referință

Simbolul porții SAU /  $\overline{\text{SAU}}$  – ECL este prezentat în fig. 3.43, iar nivelurile logice – în fig. 3.44.

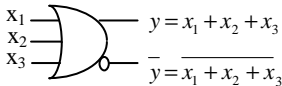


Fig. 3.43. Simbolul porții ECL

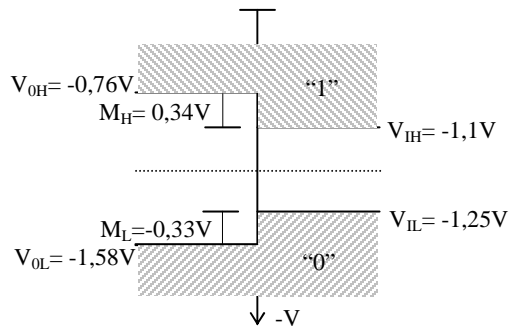


Fig. 3.44. Nivelurile logice ale familiei ECL

Existența repetoarelor pe ieșirile porții prezintă avantajul unor impedanțe de ieșire mici, care conduc la constante de timp mici în timpul regimului de comutație, deci la viteze mari de lucru. În plus, diferențele mici de tensiune dintre nivelurile

“jos” și “sus”, determină timpi mici de încărcare – descărcare a capacității parazite inerente, deci timpi de comutație mici.

Valorile parametrilor familiei ECL sunt:  $t_{pd} < 1\text{ns}$ ,  $P_d = 50\text{mW}$ ,  $Q = 50$  și  $f_{\text{max}} = 1000\text{MHz}$ .

### 3.2.1.9. Circuite logice $I^2L$

Familia de circuite logice  $I^2L$  (Integrated Injection Logic = logica integrată de injecție) permite o densitate mare de componente pe unitatea de suprafață, un consum de putere extrem de redus și ușor reglabil, timpi de întârziere la propagare mici și, în consecință, un factor de calitate foarte redus.

Componenta de bază a familiei  $I^2L$  este inversorul, prezentat în fig. 3.45 și format dintr-un tranzistor  $T_2$  de tip  $n\text{pn}$  și o sursă de curent constant realizată cu tranzistorul  $T_2$  de tip  $pnp$ .

Valoarea curentului  $I_0$  este dată de relația:

$$I_0 = \frac{V^+ - V_{EB2'}}{R_{\text{ext}}} = \text{ct} , \quad (3.79)$$

și poate fi ușor ajustată din exterior într-o gamă de 6 decade, în funcție de aplicație, prin simpla modificare a rezistenței  $R_{\text{ext}}$ , cu efectele cunoscute asupra puterii disipate  $P_d$ , timpului de întârziere la propagare  $t_{pd}$  și, implicit, asupra vitezei de lucru a circuitului.

În fig. 3.46 am prezentat regimul de comutație al inversorului  $I^2L$ , iar în fig. 3.47 – același inversor interconectat cu circuite similare.

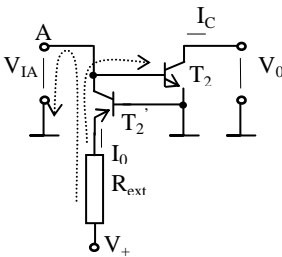


Fig. 3.45. Inversorul  $I^2L$

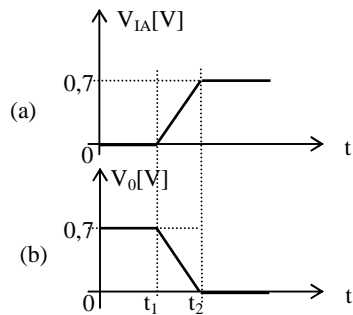


Fig. 3.46. Comutația inversorului  $I^2L$

Din fig. 3.47 se poate observa ușor că tensiunile de intrare ( $V_{IA}$ ) și de ieșire ( $V_0$ ) ale inversorului pot lua valori cuprinse în intervalul  $0 \dots 0,7\text{V}$ , limitate superior de  $V_{BE2\text{sat}} = 0,7\text{V}$ , respectiv de  $V_{BE3\text{sat}} = 0,7\text{V}$ .

Funcționarea inversorului  $I^2L$  este simplă și se bazează pe comutarea curentului  $I_0$  fie către colectorul tranzistorului  $T_1$ , fie către baza tranzistorului  $T_2$ , fig. 3.47, în funcție de valoarea tensiunii de intrare  $V_{IA}$  aplicate.

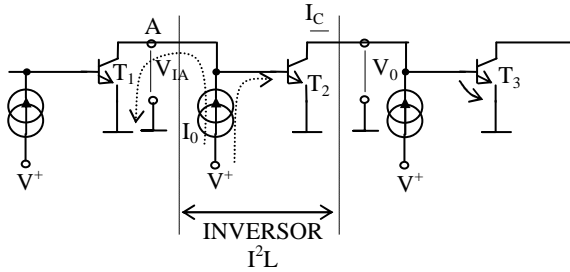


Fig. 3.47. Conectarea inversorului  $I^2L$  între două circuite similare

Astfel, în funcționarea inversorului  $I^2L$  distingem două cazuri:

1.  $V_{IA}=0$  (intervalul  $0 \dots t_1$ , fig. 3.46), caz în care  $V_{BE2}=0$  și tranzistorul  $T_2$  va fi blocat, iar curentul  $I_0$  se va închide prin tranzistorul  $T_1$  la masă, fig. 3.47;
2.  $V_{IA}=0,7V$  (zona de după momentul  $t_2$ , fig. 3.46), caz în care  $V_{BE2}=0,7V$  și tranzistorul  $T_2$  va fi saturat, iar curentul  $I_0$  se va închide prin joncțiunea  $BE_2$  la masă;

Capacitatea circuitelor  $I^2L$  de a permite realizarea funcției *ȘI-cablat* prin simpla interconectare a două ieșiri, este exploatată în construirea unor structuri complexe de tipul celei prezentate în fig. 3.48 în care tranzistoarele  $T_{21}$ ,  $T_{22}$  și  $T_{23}$  sunt multicolector.

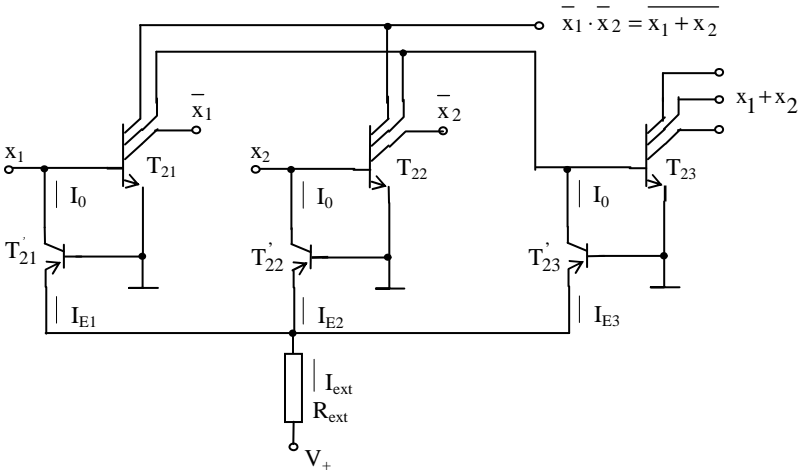


Fig. 3.48. O structură complexă  $I^2L$

Simpla conectare a câte unui colector al tranzistorului  $T_{21}$  cu unul al lui  $T_{22}$ , conduce la realizarea funcției *ȘI-cablat* între  $\bar{x}_1$  și  $\bar{x}_2$  ( $\bar{x}_1 \cdot \bar{x}_2 = x_1 + x_2$ ), iar trecerea acestei funcții prin inversorul  $T_{23}$ , permite obținerea funcției SAU:  $x_1 + x_2$ .

În fig. 3.49 am prezentat realizarea tehnologică a unui inversor de tipul celui din fig. 3.45, dar într-o configurație cu 3 colectori.

Se observă utilizarea tranzistoarelor ca unice elemente componente ale circuitului, precum și faptul că între diversele zone ale circuitului nu sunt necesare difuzii pentru izolarea componentelor.

Rezultă posibilitatea realizării unor densități foarte mari de elemente în cadrul structurii integrate (peste 200 porți / mm<sup>2</sup>), comparabilă sau superioară celei specifice familiei MOS.

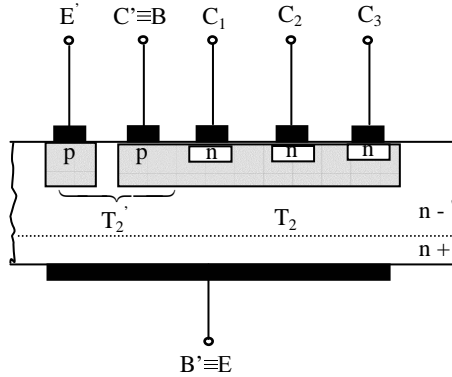


Fig. 3. 49. Realizarea tehnologică a unui inversor I<sup>2</sup>L cu 3 colectori

În plus, putem nota încă o serie de avantaje deosebite oferite de familia I<sup>2</sup>L:

- puterea consumată foarte mică,  $P_d=0,01\text{mW}$ , comparabilă cu cea a familiei CMOS, împreună cu valorile mici ale excursiei nivelelor logice (sub 20mV pentru “0” și 0,4 ... 0,8V pentru “1” logic) și capacitățile reduse ale joncțiunilor (datorate dimensiunilor reduse), conduc la un  $t_{pd}$  de cca. 10ns și un excelent factor de calitate,  $Q < 1\text{pJ}$ ;
- tensiunea de alimentare redusă (până la 1,5V), face ca circuitul să poată fi alimentat la o simplă pilă standard;
- proiectare simplă, neexistând practic etape intermediare între schema logică și topologia circuitului electric;
- pot fi combinate cu celelalte familii bipolare (TTL, ECL) utilizând interfețe specifice.

### 3.2.2. Circuite logice integrate realizate în tehnologie unipolară

Circuitele logice integrate realizate în tehnologie unipolară utilizează fie exclusiv tranzistoare MOS cu canal de tip  $p$  (familia PMOS), fie numai tranzistoare MOS cu canal de tip  $n$  (familia NMOS), fie tranzistoare MOS complementare, unele cu canal de tip  $p$ , altele – de tip  $n$  (familia Complementary MOS = CMOS).

Circuitele de tip PMOS au procesul de fabricație cel mai simplu, dar o viteză de comutație mai mică datorită mobilității mai mici a purtătorilor de sarcină utilizați (golurile).



Circuitele de tip NMOS au un proces de fabricație mai complicat, dar o viteză de comutație mai mare datorită mobilității mai mari a electronilor.

Circuitele de tip CMOS prezintă o viteză de comutație medie, dar un consum de energie mult mai redus, concentrat în intervalele de tranziție dintr-o stare logică în alta.

Schemele porților logice ale circuitelor PMOS și NMOS sunt identice, singurele diferențe constând în simbolurile tranzistoarelor și semnul tensiunii de alimentare ( $+V_{DD}$  pentru NMOS-uri și  $-V_{DD}$  pentru PMOS-uri).

Îată de ce, în cele ce urmează nu vom studia decât unul din cele două tipuri de circuite și anume circuitele NMOS, alese pentru avantajul didactic al operării cu tensiuni pozitive în toate schemele.

Tensiunea de alimentare  $+V_{DD}$  poate lua valori cuprinse între 5 ... 15V, în cazul utilizării valorii de +5V existând o compatibilitate deplină între nivelurile logice ale familiei NMOS și cele ale familiei TTL.

Circuitele logice NMOS (ca și cele PMOS, de altfel) se construiesc în varianta *statică*, caz în care funcționarea nu este condiționată de un tact extern, și *dinamică*, caz în care transferul informației logice prin circuit are loc numai în momentul apariției unui tact extern.

### 3.2.2.1. Familia logică NMOS statică

În cadrul acestei familii, vom studia inversorul, NAND-ul și NOR-ul NMOS statice.

#### 3.2.2.1.1. Inversorul NMOS static

Inversorul NMOS static prezintă schema din fig. 3.50 a și este format dintr-un TECMOS *driver* (de comandă)  $T_D$  cu canal indus de tip  $n$  și un tranzistor *load* (sarcină)  $T_L$  cu canal inițial de tip  $n$ .

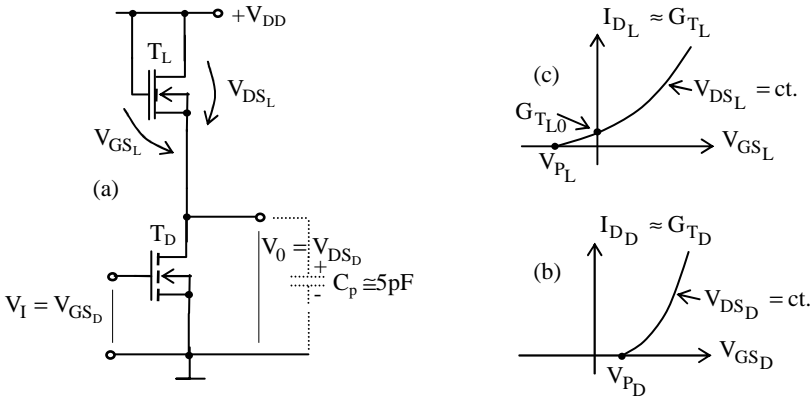


Fig. 3.50. Inversorul NMOS static:

a) schemă; b) caracteristica de transfer a lui  $T_D$ ; c) caracteristica de transfer a lui  $T_L$

După cum se poate ușor observa din caracteristicile de transfer ale celor două tranzistoare, fig. 3.50 b și c, alegerea unui tranzistor driver  $T_D$  cu canal indus prezintă avantajul unei blocări facile a acestuia prin simpla anulare a tensiunii  $V_{GS_D}$ , iar utilizarea unui tranzistor sarcină  $T_L$  cu canal inițial permite obținerea unei

rezistențe active  $R_{TL_0} = \frac{1}{G_{TL_0}}$  în cazul în care  $V_{GS_L} = 0$ .

Prin *rezistență activă* înțelegem o rezistență simulată cu ajutorul unui dispozitiv electronic activ, în cazul de față - rezistența care apare între drena și sursa unui tranzistor de tip NMOS la aplicarea unei anumite diferențe de potențial grilă-sursă.

În fig. 3.51 este prezentată o schemă a inversorului NMOS static desenată cu simboluri simplificate. Singurul element din schemă care trădează apartenența acesteia la familia NMOS este semnul + al tensiunii de alimentare ( $+V_{DD}$ ), în timp ce diferența dintre  $T_D$  și  $T_L$  în ceea ce privește tipul *indus* sau *inițial* al canalului rămâne practic neilustrată prin simbolurile adoptate, dar nu mai puțin importantă pentru înțelegerea funcționării schemei.

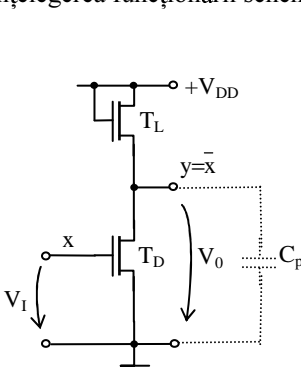


Fig. 3.51. Schema inversorului NMOS static desenată cu simboluri simplificate

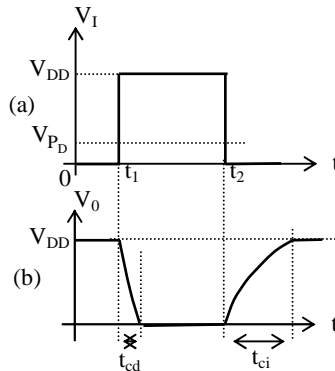


Fig. 3.52. Regimul de comutație al inversorului NMOS static

**Funcționare:** În intervalul  $(0 \div t_1)$ , fig. 3.52,  $V_I = V_{GS_D} = 0$  și din caracteristica de transfer din fig. 3.50 b observăm că  $I_{D_D} = 0$ , deci tranzistorul  $T_D$  este blocat. Ca urmare,  $V_{GS_L} = V_{DS_L} = 0V$  și din caracteristica de transfer din fig.

3.50 c, rezultă că  $T_L$  joacă rolul unei rezistențe active de valoare  $R_{TL_0} = \frac{1}{G_{TL_0}}$  prin care potențialul  $+V_{DD}$  se transferă la ieșire. Rezultă  $V_0 = +V_{DD}$  și capacitatea  $C_{ech}$  (care include capacitatea  $C_p$ ), v. relația 2.19, § 2.3, se încarcă la valoarea  $+V_{DD}$ .

În momentul  $t_1$ , fig. 3.52 a, tensiunea de intrare  $V_I = V_{GS_D}$  înregistrează un salt pozitiv de la 0 la  $+V_{DD}$ , depășind brusc nivelul tensiunii de prag  $V_{P_D}$ , fig. 3.50

b. Ca urmare  $I_{D_D}$  crește puternic și punctul de funcționare al tranzistorului  $T_D$  intră în regiunea ohmică. Capacitatea  $C_{ech}$  se descarcă pe rezistența drenă-sursă a lui  $T_D$ ,  $R_{T_D}$ , cu constanta de timp:

$$\tau_1 = R_{T_D} \cdot C_{ech}, \quad (3.80)$$

astfel încât, într-un interval de timp:

$$t_{cd} = 2,3 \cdot R_{T_D} \cdot C_{ech}, \quad (3.81)$$

tensiunea de ieșire devine  $V_0 = V_{DS_D} = 0$ , fig. 3.52 b.

Pe întreaga durată a palierului ( $t_1 \div t_2$ ) al lui  $V_I$ , fig. 3.52 b,  $V_0$  rămâne 0V.

În momentul  $t_2$ , fig. 3.52, are loc saltul negativ al tensiunii de intrare  $V_I = V_{GS_D}$  de la  $+V_{DD}$  la 0, urmat de anularea curentului de drenă  $I_{D_D}$  (v. caracteristica de transfer din fig. 3.50 b) și blocarea tranzistorului  $T_D$ . Situația din intervalul ( $0 \div t_1$ ) se repetă și capacitatea  $C_{ech}$  (care include capacitatea  $C_p$ ) se încarcă cu constanta de timp:

$$\tau_2 = R_{T_{L0}} \cdot C_{ech} \quad (3.82)$$

până la valoarea  $+V_{DD}$ , într-un interval de timp:

$$t_{ci} = 2,3 \cdot R_{T_{L0}} \cdot C_{ech}. \quad (3.83)$$

Deoarece canalul lui  $T_D$  este, prin construcție, mult mai gros și mai scurt decât al lui  $T_L$ , pentru aceeași tensiune grilă-sursă,  $V_{GS_D} = V_{GS_L}$ , vom avea:

$$R_{T_D} \ll R_{T_L}, \quad (3.84)$$

de unde rezultă:

$$t_{cd} \ll t_{ci}. \quad (3.85)$$

Caracteristica de transfer a inversorului NMOS static este prezentată în fig. 3.53 și ilustrează antagonismul dintre  $V_0$  și  $V_I$ : când  $V_I=0$ ,  $V_0=+V_{DD}$  și invers.

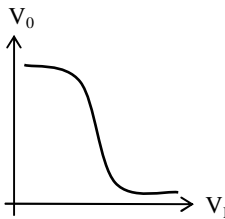


Fig. 3.53. Caracteristica de transfer a inversorului NMOS static

Deși tranzistorul MOS cu canal  $n$  comută rapid (aproximativ 1ns), viteza de comutație scade cu cca. 3 ordine de mărime din cauza capacității  $C_{ech}$ .

### 3.2.2.1.2. NAND-ul NMOS static

NAND-ul NMOS static prezintă schema din fig. 3.54, simbolul din fig. 3.55 și tabelul de adevăr – tab. 3.15.

Funcționare: Singura situație în care potențialul masei se poate transfera la ieșire, determinând o valoare logică  $y=0$ , este aceea în care toate tranzistoarele

driver  $T_{Di}$ , cu  $i=1, 2, 3$ , conduc, deci când  $V_{li}=+V_{DD}$  sau, echivalent,  $x_1=x_2=x_3=1$  logic (v. tab. 3.15). În rest, cel puțin unul din tranzistoarele  $T_{Di}$  fiind blocat (cel puțin una din intrările  $x_i$  este zero logic), legătura dintre ieșirea circuitului și masă este întreruptă și la ieșire se transferă potențialul  $+V_{DD}$  prin rezistența activă pe care o constituie  $T_L$ , determinând  $y=1$  logic.

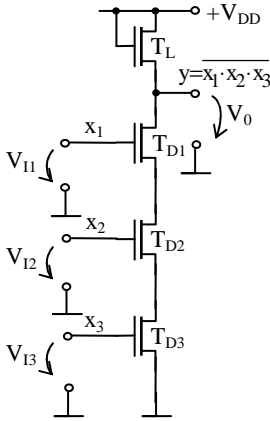


Fig. 3.54. Poarta NAND NMOS statică

Tab. 3.15. Tabelul de adevăr al funcției ȘI-NU (NAND)

$x_3$	$x_2$	$x_1$	$y$
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

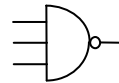


Fig. 3.55. Simbolul porții NAND

3.2.2.1.3. NOR-ul NMOS static

NOR-ul NMOS static prezintă schema din fig. 3.56, simbolul din fig. 3.57 și tabelul de adevăr – tab. 3.16.

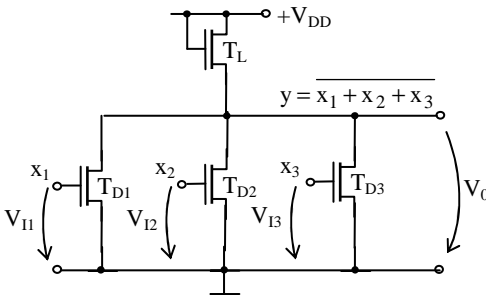


Fig. 3.56. Poarta NOR NMOS statică

Tab. 3.16. Tabelul de adevăr al funcției SAU-NU (NOR)

$x_3$	$x_2$	$x_1$	$y$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

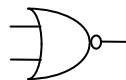


Fig. 3.57. Simbolul porții NOR

Funcționare: Singura situație în care potențialul masei nu se poate transfera la ieșire este aceea în care toate tranzistoarele  $T_{Di}$  sunt blocate, deci atunci când  $V_{fi}=0$  sau, echivalent,  $x_1=x_2=x_3=0$  logic (v. tab. 3.16). Evident, potențialul  $+V_{DD}$  se va transfera la ieșire prin rezistența activă pe care o constituie  $T_L$ , deci  $y=1$  logic. În rest, cel puțin unul din tranzistoarele  $T_{Di}$  va conduce (cel puțin una din intrările  $V_{fi}=+V_{DD}$  sau, echivalent, un  $x_i=1$  logic și potențialul masei se va transfera la ieșire determinând  $y=0$  logic.

Recunoaștem în tab. 3.16 tabelul de adevăr al funcției SAU-NU (NOR).

### 3.2.2.2. Poarta de transfer NMOS

Considerăm schema din fig. 3.58 în care este inclusă poarta de transfer NMOS formată din tranzistorul  $T_P$ , cu rol de întrerupător comandat de tactul  $\Phi$ , și capacitatea parazită  $C_p$ .

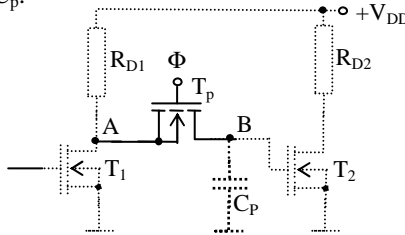


Fig. 3.58. Poarta de transfer NMOS, inclusă într-un circuit mai complex

Așa cum rezultă și din fig. 3.59, când  $\Phi=0$  (intervalele  $\tau_1$ ),  $T_P$  este blocat și legătura dintre punctele A și B ale circuitului este întreruptă. Capacitatea  $C_p$  memorează valoarea  $V_B=V_A$  din ultimul moment al conducerii lui  $T_P$ , fig. 3.59 c, în timp ce  $V_A$  evoluează în continuare conform diagramei din fig. 3.59 b.

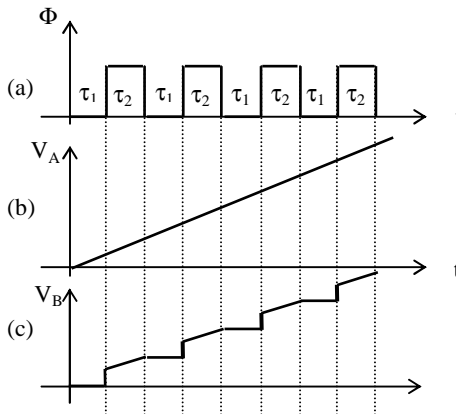


Fig. 3.59. Explicativă pentru înțelegerea funcționării porții de transfer NMOS

În momentul tranziției de la 0 la 1 logic a impulsului de tact  $\Phi$ , tranzistorul  $T_P$  începe să conducă, restabilindu-se brusc egalitatea  $V_B = V_A$ , după care, pe întreaga durată a intervalului  $\tau_2$ ,  $V_B$  urmărește fidel evoluțiile lui  $V_A$ , fig. 3.59 c.

Deosebit de importantă este menținerea valorii tensiunii memorate de către capacitatea  $C_p$  pe parcursul întregului interval de blocare a tranzistorului  $T_P$ . Ținând seama de faptul că valoarea capacității parazite  $C_p$  este de câțiva pF, iar valoarea rezistenței de intrare a tranzistorului  $T_2$  este de  $10^{12} \div 10^{18} \Omega$ , rezultă o constantă de timp și un timp de descărcare a capacității  $C_p$  care impune o astfel de frecvență a impulsurilor de tact  $\Phi$  încât capacitatea  $C_p$  să-și mențină nealterată tensiunea la borne pe întreaga durată a intervalului  $\tau_1$ .

### 3.2.2.3. Familia logică NMOS dinamică

Familia logică NMOS dinamică este generată printr-o combinație a porții de transfer NMOS cu familia NMOS statică, cu observația că tranzistorul  $T_L$  va fi de această dată cu canal indus, fiind comandat de același impuls de tact  $\Phi$  ca și  $T_P$ .

Ca urmare, consumul de energie din sursa de alimentare va fi limitat numai la intervalele  $\tau_2$  ale impulsului de tact  $\Phi$ , singurele în care  $T_L$  conduce și constituie astfel o rezistență de sarcină activă pentru tranzistorul driver  $T_D$ .

#### 3.2.2.3.1. Inversorul NMOS dinamic

Inversorul NMOS dinamic prezintă schema din fig. 3.60 și se reprezintă simbolic ca în fig. 3.61.

**Funcționare:** Pentru  $x=1$  logic și  $\Phi=0$ , tranzistorul  $T_D$  este practic nepolarizat în circuitul de ieșire întrucât  $T_L$  (ca și  $T_P$ ) este blocat. Pentru  $\Phi=1$ , tranzistoarele  $T_P$  și  $T_L$  vor conduce, circuitul de drenă al tranzistorului  $T_D$  se va închide prin rezistența activă oferită de  $T_L$  și, întrucât  $x=1$  ( $V_I = +V_{DD}$ ),  $T_D$  va conduce și va permite transferul potențialului masei, prin  $T_P$ , la ieșire. Capacitatea  $C_p$  se va descărca pe  $R_{T_D}$  și  $V_0=0V$ , deci  $y=0$ .

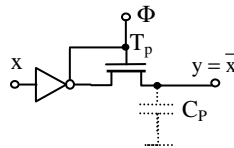
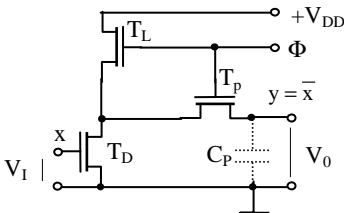


Fig. 3.60. Inversorul NMOS dinamic

Fig. 3.61. Simbolizarea inversorului NMOS dinamic

Pentru  $x=0$  logic, deci  $V_I=0V$ , tranzistorul  $T_D$  se va bloca și, dacă  $\Phi=1$ , potențialul  $+V_{DD}$  se va transfera la ieșire prin  $T_L$  și  $T_P$ , încărcând capacitatea  $C_p$  și generând la ieșire  $y=1$  logic.

Întrucât o modificare a valorii logice a intrării circuitului în intervalul de timp  $\tau_1$ , în care  $\Phi=0$ , face ca starea ieșirii să nu mai respecte expresia  $y = \bar{x}$  (deoarece  $T_L$  și  $T_P$  sunt blocate și legătura intrare-ieșire este întreruptă), “citirea” informației de la ieșirea porții trebuie să aibă loc numai în intervalele  $\tau_2$ , în care  $\Phi=1$ .

3.2.2.3.2. *NAND-ul NMOS dinamic*

NAND-ul NMOS dinamic prezintă schema din fig. 3.62 și se reprezintă simbolic ca în fig. 3.63.

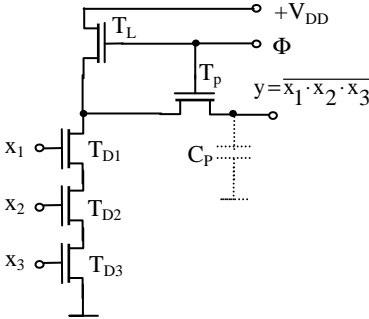


Fig. 3.62. NAND-ul NMOS dinamic

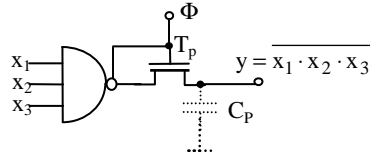


Fig. 3.63. Simbolizarea NAND-ului NMOS dinamic

Funcționarea sa respectă tabelul 3.15, dar numai în intervalele de timp în care  $\Phi=1$ .

3.2.2.3.3. *NOR-ul NMOS dinamic*

NOR-ul NMOS dinamic prezintă schema din fig. 3.64 și se simbolizează de maniera din fig. 3.65.

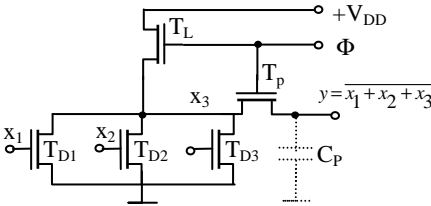


Fig. 3.64. NOR-ul NMOS dinamic

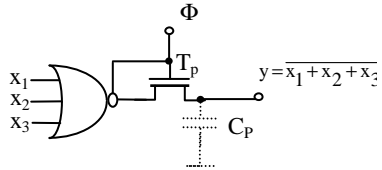


Fig. 3.65. Simbolizarea NOR-ului NMOS dinamic

Circuitul funcționează conform tabelului 3.16, dar numai pentru  $\Phi=1$ .

### 3.2.2.4. Familia logică CMOS

O familie logică ideală, ar trebui să prezinte un consum zero în regim static, un  $t_{pd}=0$ , fronturi controlabile la trecerea dintr-o stare logică în alta, imunitate la zgomot de 50% din diferența corespunzătoare nivelurilor logice, etc.

Familia logică CMOS se apropie cel mai mult de o familie ideală, prin excelențele valori ale parametrilor săi:

- putere disipată foarte mică în regim static ( $P_{ds}=10nW$ , din cauza curenților reziduali) și ceva mai mare în regim dinamic ( $P_{dd}=10mW$ , la o frecvență de comutație de 1MHz și o capacitate parazită  $C_p=50pF$ );

- timpul de întârziere la propagare mic ( $t_{pd}=25\div 50ns$ ) și dependent de valoarea tensiunii de alimentare și sarcină;

- o margine de zgomot de c.a. reprezentând 45% din diferența de tensiune corespunzătoare nivelurilor logice;

- o margine de zgomot de c.c. de 1V pentru orice valoare admisă a tensiunii de alimentare  $V_{DD}$ , pentru orice temperatură și pentru orice combinație logică aplicată la intrare.

Ca și în cazul celorlalte familii de circuite logice studiate până în prezent, creșterea puterii disipate  $P_d$  (în cazul de față, prin creșterea tensiunii de alimentare) conduce la o scădere a  $t_{pd}$  și, implicit, la o creștere a vitezei de lucru a circuitului.

#### 3.2.2.4.1. Inversorul CMOS

Inversorul CMOS este prezentat în fig. 3.66 și se compune din două tranzistoare MOS complementare, unul cu canal indus de tip  $n$ ,  $T_n$ , și altul cu canal indus de tip  $p$ ,  $T_p$ .

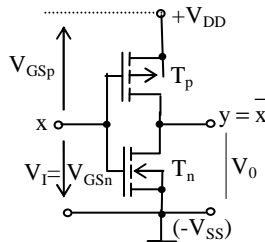


Fig. 3.66. Inversorul CMOS

Pe ochiurile de circuit de la intrarea schemei din fig. 3.66, putem scrie următoarele relații:

$$V_{GSn} = V_I, \quad (3.86)$$

$$V_{GSp} = V_I - V_{DD}, \quad (3.87)$$

care ne vor permite o mai ușoară înțelegere a funcționării inversorului.

În fig. 3.67 a, am suprapus cele două caracteristici de transfer ale tranzistoarelor  $T_n$  și  $T_p$ , păstrând (sub grafic) semiaxele inițiale  $V_{GSn}$  și  $V_{GSp}$ , iar în



fig. 3.67 b, am prezentat caracteristica de transfer a inversorului CMOS, dedusă din fig. 3.67 a și considerațiile care urmează.

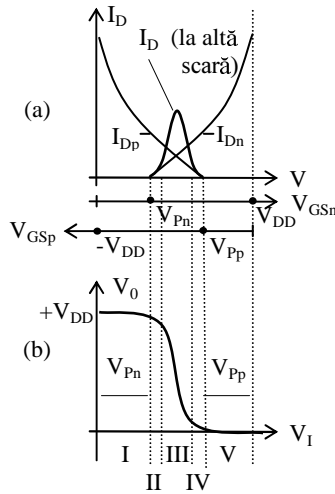


Fig. 3.67. Explicativă pentru funcționarea inversorului CMOS:

- a) caracteristicile de transfer ale celor două tranzistoare;  
b) caracteristica de transfer a inversorului CMOS.

Stările celor două tranzistoare, corelate cu zonele I, II, ..., V, fig. 3.67, sunt prezentate în tab. 3.17.

Tab. 3.17. Centralizator al stărilor tranzistoarelor în timpul comutației

Trz. \ Zona	I	II	III	IV	V
$T_n$	R. blocare	R. sat. $I_D$	R. sat. $I_D$	R. liniară	R. liniară
$T_p$	R. liniară	R. liniară	R. sat. $I_D$	R. sat. $I_D$	R. blocare

**Funcționare:** Explicarea funcționării inversorului CMOS poate fi mai ușor înțeleasă evaluând valorile rezistențelor active  $R_{Tn}$  și  $R_{Tp}$  ce apar între drenea și sursa celor două tranzistoare complementare, în fiecare dintre zonele I, II, ..., V.

Tensiunea de alimentare  $+V_{DD}$  se va diviza pe rezistențele active  $R_{Tn}$  și  $R_{Tp}$ , v. fig. 3.68, tensiunea de ieșire putând fi calculată cu expresia:

$$V_0 = \frac{R_{Tn}}{R_{Tn} + R_{Tp}} \cdot V_{DD} = \frac{V_{DD}}{1 + \frac{R_{Tp}}{R_{Tn}}} \quad (3.88)$$

Presupunând, pentru început, că ne aflăm în zona (I) a caracteristicilor din fig. 3.67, cu  $x=0$  și  $V_I = V_{GSn} = 0 < V_{Pn}$ , observăm că  $I_{Dn} = 0$ , fig. 3.67 a, deci  $T_n$  este blocat și

$R_{Tn} \rightarrow \infty$ . În același timp, din relația 3.87 rezultă că  $V_{GSp} = -V_{DD}$ , deci  $I_{Dp}$  are valoarea maximă și tranzistorul  $T_p$  se află în regiunea ohmică (liniară), v. fig. 2.16, conducând puternic și constituind o rezistență activă  $R_{Tp}$  de valoare redusă.

Considerând  $R_{Tn} \rightarrow \infty$  în relația 3.88, se obține  $V_0 = +V_{DD}$ , deci putem spune că potențialul  $+V_{DD}$  se transferă la ieșire prin rezistența activă  $R_{Tp}$ , generând  $y=1$  logic.

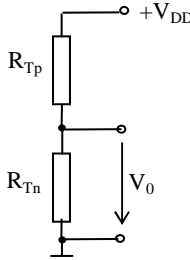


Fig. 3.68. Explicativă pentru calculul lui  $V_0$

Similar, în zona V vom avea  $V_I = V_{GSn} = +V_{DD}$ , fig. 3.67 a,  $T_n$  se deschide puternic (regiunea liniară) constituind o rezistență activă  $R_{Tn}$  de valoare redusă, în timp ce, așa cum rezultă din relația 3.87,  $V_{GSp} = 0V$  și  $T_p$  este blocat, oferind o rezistență activă  $R_{Tp} \rightarrow \infty$ . Din relația 3.88 rezultă  $V_0 = 0V$ , deci potențialul masei se transferă la ieșire prin  $T_n$  și  $y=0$  logic.

Funcția de inversor a circuitului a fost demonstrată, caracteristica de transfer din fig. 3.67 b a fost parțial construită, iar tab. 3.17 – parțial completat.

În zonele II, III și IV, fig. 3.67 b, are loc tranziția dintre cele două stări logice, astfel:

- în zona II, fig. 3.67 a,  $I_{Dn}$  începe să crească, punctul de funcționare al tranzistorului  $T_n$  intrând în regiunea de saturație a curentului de drenă, în timp ce  $T_p$  lucrează încă în regiunea liniară. Deoarece  $T_n$  conduce mai slab decât  $T_p$ ,  $R_{Tn} > R_{Tp}$ ,

deci  $\frac{R_{Tp}}{R_{Tn}} < 1$  și din relația 3.88 rezultă  $V_0 > \frac{V_{DD}}{2}$ , fapt ilustrat în fig. 3.67 b.

Curentul absorbit din sursa de alimentare este practic determinat de rezistența totală  $R_{Tn} + R_{Tp}$  și evoluția sa poate fi urmărită, la o scară mult mărită, în fig. 3.67 a;

- în zona III, ambele tranzistoare se află în regiunea liniară, determinând o rezistență totală  $R_{Tn} + R_{Tp}$  mai mică decât în zona II și generând astfel un vârf al curentului absorbit din sursa de alimentare, fig. 3.67 a; la jumătatea acestei zone,  $T_n$  și  $T_p$  conduc în egală măsură,  $R_{Tn} = R_{Tp}$  și din relația 3.88 rezultă  $V_0 = \frac{V_{DD}}{2}$ ;

- în zona IV situația se prezintă simetric față de zona II, rolul tranzistoarelor  $T_n$  și  $T_p$  inversându-se;  $T_n$  intră în regiunea liniară, în timp ce  $T_p$  rămâne în regiunea

de saturație a curentului de drenă  $I_{Dp}$ , dar la valori mai mici ale acestuia. Vom avea

$$R_{Tn} < R_{Tp}, \text{ deci } \frac{R_{Tp}}{R_{Tn}} > 1 \text{ și din relația 3.88 rezultă } V_0 < \frac{V_{DD}}{2}.$$

Din diagramele din fig. 3.67, observăm cu ușurință faptul că, în regim static (0 sau 1 logic), consumul de energie din sursa de alimentare este practic nul (zonele I și V), în timp ce la trecerea dintr-o stare logică în alta, consumul crește, înregistrând un maxim la mijlocul zonei III.

În fig. 3.69 am prezentat nivelurile logice ale familiei CMOS.

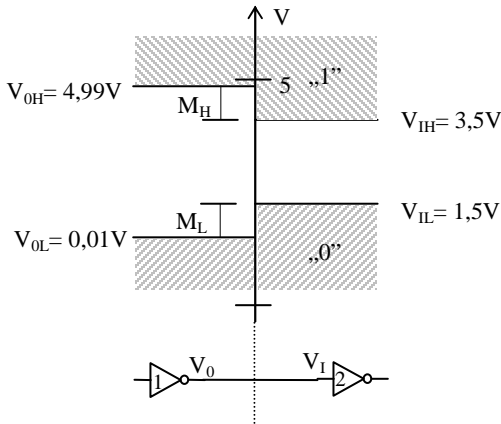


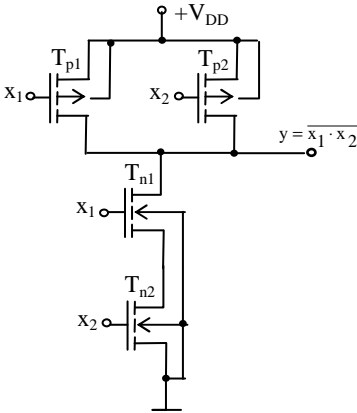
Fig. 3.69. Nivelurile logice ale familiei CMOS

#### 3.2.2.4.2. NAND-ul CMOS

NAND-ul CMOS prezintă schema din fig. 3.70 și este format din două perechi de tranzistoare complementare: două cu canal indus de tip  $n$  și două cu canal indus de tip  $p$ . Pentru a păstra acuratețea și simetria schemei, nu au mai fost desenate legăturile dintre perechile de borne de intrare  $x_1$ , respectiv  $x_2$ .

**Funcționare:** Când cel puțin una dintre intrările circuitului este 0 logic, cel puțin una dintre tensiunile de intrare  $V_{i1}$  este 0V și cel puțin unul dintre tranzistoarele  $T_{n1}$  și  $T_{n2}$  va fi blocat. În același timp, în conformitate cu relația 3.87, cel puțin unul dintre tranzistoarele  $T_{p1}$  și  $T_{p2}$  va conduce ( $V_{GSp} = -V_{DD}$ ) și potențialul  $+V_{DD}$  se va transfera la ieșire, rezultând  $V_0 = +V_{DD}$  și  $y=1$  logic (v. primele 3 linii ale tabelului 3.18).

Când  $x_1=x_2=1$  logic,  $V_{i1}=V_{i2}=+V_{DD}$  și ambele tranzistoare  $T_{n1}$  și  $T_{n2}$  conduc. Relația 3.87 implică  $V_{GSp}=0V$  și tranzistoarele  $T_{p1}$  și  $T_{p2}$  vor fi ambele blocate. Potențialul masei se transferă la ieșire prin  $T_{n1}$  și  $T_{n2}$ , deci  $V_0=0V$  și  $y=0$  logic (v. tab. 3.18).



Tab. 3.18. Tabelul de adevăr al funcției NAND cu 2 intrări

$x_2$	$x_1$	$y$
0	0	1
0	1	1
1	0	1
1	1	0

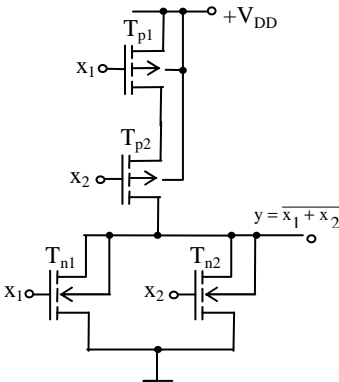
Fig. 3.70. NAND-ul CMOS

Funcționarea ca NAND a circuitului a fost demonstrată.

3.2.2.4.3. NOR-ul CMOS

NOR-ul CMOS prezintă schema din fig. 3.71 și tabelul de adevăr – tab. 3.19.

**Funcționare:** Pentru  $x_1=x_2=0$  logic,  $V_{I1}=V_{I2}=V_{GSn1}=V_{GSn2}=0V$  și tranzistoarele  $T_{n1}$  și  $T_{n2}$  vor fi blocate. Conform relației 3.87,  $V_{GSp1}=V_{GSp2}=-V_{DD}$ , iar tranzistoarele  $T_{p1}$  și  $T_{p2}$  vor conduce, transferând potențialul  $+V_{DD}$  la ieșire. Se obține  $V_0=+V_{DD}$ , deci  $y=1$  logic.



Tab. 3.19. Tabelul de adevăr al funcției NOR cu 2 intrări

$x_2$	$x_1$	$y$
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 3.71. NOR-ul CMOS

Este suficient ca una dintre intrări, sau ambele, să fie 1 logic, pentru ca unul dintre tranzistoarele  $T_{n1}$  și  $T_{n2}$ , sau ambele, să conducă, respectiv unul dintre tranzistoarele  $T_{p1}$  și  $T_{p2}$ , sau ambele, să fie blocate. Potențialul masei se va transfera

la ieșire prin  $T_{n1}$  și  $T_{n2}$ , sau ambele, astfel încât  $V_0=0V$  și  $y=0$  logic (v. ultimele 3 linii ale tab. 3.19).

Funcționarea ca NOR a circuitului din fig. 3.71 a fost demonstrată.

#### 3.2.2.4.4. Poarta de transfer CMOS

Poarta de transfer CMOS, fig. 3.72, conține o pereche de tranzistoare MOS complementare cu canal indus, conectate în paralel.

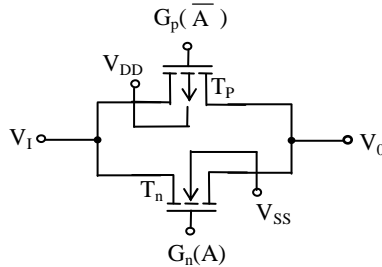


Fig. 3.72. Poarta de transfer CMOS

Potențialele grilelor celor două tranzistoare sunt întotdeauna complementare, favorizând conducția, respectiv blocarea simultană a tranzistoarelor și, implicit, a porții.

Astfel, pentru  $V_A=V_{DD}$  și  $V_{\bar{A}}=V_{SS}$ , tranzistoarele  $T_n$  și  $T_p$  conduc (v. caracteristicile de transfer din fig. 3.67 a, deci poarta de transfer este deschisă.

Pentru  $V_A=V_{SS}$  și  $V_{\bar{A}}=V_{DD}$ , tranzistoarele  $T_n$  și  $T_p$  vor fi blocate, iar poarta de transfer CMOS se va bloca și ea.

În cazul în care  $V_{DD}=+10V$  și  $V_{SS}=-10V$ , poarta de transfer poate “comuta” semnale analogice a căror evoluție se încadrează în plaja  $\pm 10V$ .

Dacă poarta de transfer este alimentată cu tensiunile  $V_{DD}=+20V$  și  $V_{SS}=0V$ , semnalele care pot fi “comutate” vor trebui să fie pozitive și să se încadreze în plaja  $0\div 20V$ .

Ținând seama de structurile fizice ale celor două tranzistoare utilizate, fig. 3.73, observăm că polarizările substraturilor de bază favorizează formarea canalului

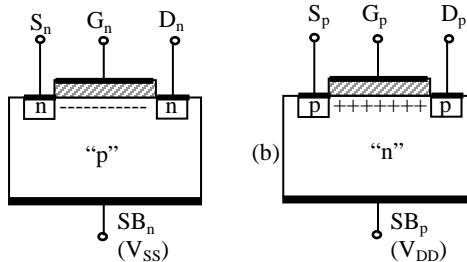


Fig. 3.73. Structurile fizice ale tranzistoarelor porții de transfer CMOS

de tip indus. Spre exemplu, o tensiune  $V_{SS} \leq 0$  aplicată substratului de bază  $SB_n$  al tranzistorului  $T_n$ , fig. 3.73 a, implică respingerea electronilor din zona inferioară a substratului către regiunea canalului virtual, favorizând inducerea acestuia.

Se poate observa cu ușurință faptul că, în absența obișnuitei conectări a substraturilor de bază  $SB_n$  și  $SB_p$  la sursele  $S_n$ , respectiv  $S_p$ , ale celor două tranzistoare, structurile fizice din fig. 3.73 devin simetrice, sursa și drena devenind interschimbabile ca rol.

Simbolul porții de transfer CMOS este prezentat în fig. 3.74.

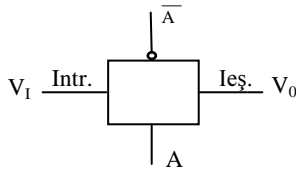


Fig. 3.74. Simbolul porții de transfer CMOS

**Funcționare:** Presupunând o alimentare simetrică,  $V_{DD} = V_{SS}$  și o tensiune de intrare:

$$-V_{SS} < V_I < +V_{DD}, \quad (3.89)$$

distingem următoarele două cazuri:

**Cazul 1:** Grilele celor două tranzistoare care formează poarta de transfer, au următoarele potențiale:

$$V_{Gn} = V_A = V_{DD} > 0, \quad (3.90)$$

$$V_{Gp} = V_{\bar{A}} = -V_{SS} < 0. \quad (3.91)$$

Tensiunile grilă-sursă ale celor două tranzistoare se calculează cu relațiile:

$$V_{GSn} = V_{Gn} - V_{Sn} = V_{DD} - V_I = V_{DD} - (-V_{SS} \div V_{DD}) = (V_{DD} + V_{SS}) \div 0, \quad (3.92)$$

$$V_{GSp} = V_{Gp} - V_{Sp} = -V_{SS} - V_I = -V_{SS} - (-V_{SS} \div V_{DD}) = 0 \div -(V_{SS} + V_{DD}). \quad (3.93)$$

În fig. 3.75 a, am încercat o ilustrare a evoluțiilor potențialelor  $V_I$ ,  $V_{Gn}$ ,  $V_{Gp}$ ,  $V_{GSn}$  și  $V_{GSp}$ , relațiile 3.89 ÷ 3.93, iar în fig. 3.75 b am prezentat, în strictă corespondență cu fig. 3.75 a, caracteristicile de transfer ale celor două tranzistoare care compun poarta.

Observăm că tranzistorul  $T_n$  conduce în intervalul  $(-V_{SS} \div V_{Pn})$ , iar  $T_p$  – în intervalul  $(-V_{Pp} \div V_{DD})$ , ceea ce indică faptul că poarta de transfer este deschisă și prezintă o rezistență  $R_{ON} = f(V_I)$ , a cărei evoluție este ilustrată în fig. 3.75 b.

**Cazul 2:** Potențialele aplicate pe grilele celor două tranzistoare sunt:

$$V_{Gn} = V_A = -V_{SS} < 0, \quad (3.94)$$

$$V_{Gp} = V_{\bar{A}} = V_{DD} > 0, \quad (3.95)$$

iar tensiunile grilă-sursă ale celor două tranzistoare se calculează astfel:

$$V_{GSn} = V_{Gn} - V_{Sn} = -V_{SS} - V_I = -V_{SS} - (-V_{SS} \div V_{DD}) = 0 \div -(V_{SS} + V_{DD}), \quad (3.96)$$

$$V_{GSp} = V_{Gp} - V_{Sp} = V_{DD} - V_I = V_{DD} - (-V_{SS} \div V_{DD}) = (V_{DD} + V_{SS}) \div 0. \quad (3.97)$$

Cele două tranzistoare sunt evident blocate, v. fig. 3.75, deci poarta de transfer este și ea blocată.

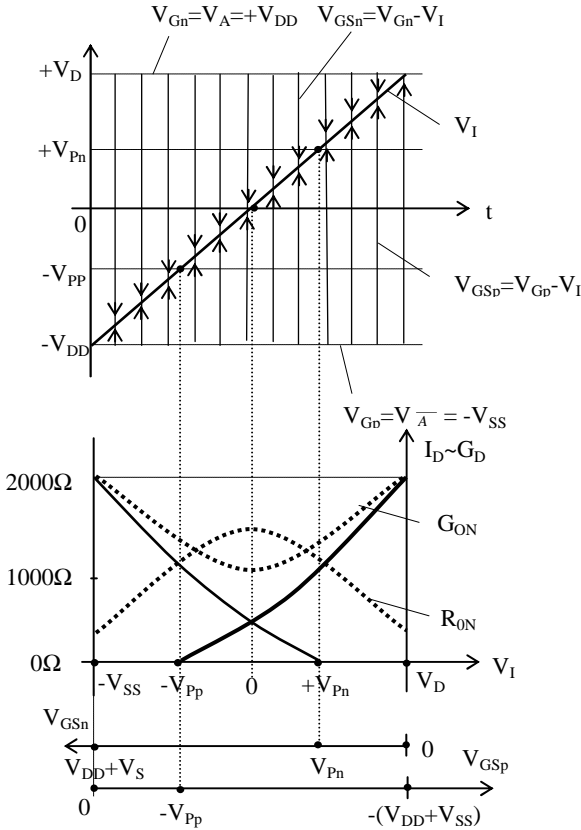


Fig. 3.75. Explicativă pentru evoluția potențialelor porții de transfer CMOS

Stările celor două tranzistoare care compun poarta de transfer sunt prezentate centralizat în tab. 3.20.

Tab. 3.20. Centralizator al stărilor tranzistoarelor ce compun poarta de transfer CMOS

Trz. \ V <sub>I</sub>	-V <sub>SS</sub>	-V <sub>PP</sub>	0	V <sub>Pn</sub>	V <sub>DD</sub>
T <sub>n</sub>	Conduce			Blocat	
T <sub>p</sub>	Blocat		Conduce		

În fig. 3.76 este prezentată o variantă practică de comandă a porții de transfer CMOS, desenată detaliat (a) și simbolic (b). Se remarcă obținerea dintr-o singură tensiune de comandă, cu ajutorul unui inversor, a celor două semnale complementare de polarizare a grilelor celor două tranzistoare.

Este vorba despre un circuit inversor cu 3 stări, obținut dintr-un inversor CMOS și o poartă de transfer.

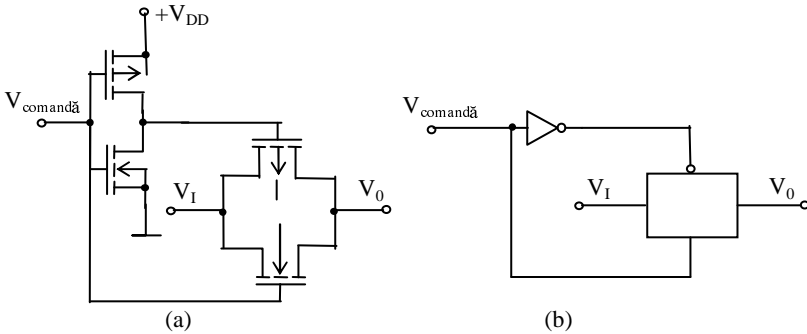


Fig. 3.76. Comanda porții de transfer CMOS:  
a) schema detaliată; b) Schema simbolică

În fig. 3.77 este prezentată o aplicație interesantă a porții de transfer, bazată pe proprietatea acesteia de a oferi o impedanță înaltă la ieșire în starea de blocare.

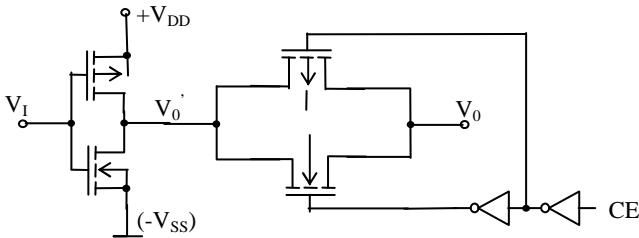


Fig. 3.77. Inversor cu 3 stări realizat în tehnică CMOS

**Funcționare:** Pentru  $CE=1$  ( $CE = \text{Chip Enable} = \text{autorizare funcționare "chip"}$ ), poarta este deschisă și informația  $V_0'$  de la ieșirea inversorului CMOS are acces la ieșirea  $V_0$  a porții de transfer.

Pentru  $CE=0$ , poarta de transfer este blocată și circuitul prezintă o stare de înaltă impedanță (HZ) la ieșire.